

ПРИЛОЖЕНИЕ

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РФ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

КАФЕДРА АВТОМАТИЗИРОВАННЫХ СИСТЕМ УПРАВЛЕНИЯ

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

«Программирование логических интегральных схем»

Направление подготовки

09.03.02 Информационные системы и технологии

ОПОП бакалавриата

«Информационные системы и технологии»

Квалификация (степень) выпускника – бакалавр

Формы обучения – очная, заочная

Рязань 2020

Оценочные материалы предназначены для контроля знаний обучающихся по дисциплине «Программирование логических интегральных схем» и представляют собой фонд оценочных средств, образованный совокупностью учебно-методических материалов (контрольных заданий, описаний лабораторных работ), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций обучающихся целям и требованиям основной образовательной программы в ходе проведения учебного процесса.

Основная задача – обеспечить оценку уровня сформированности профессиональных компетенций, приобретаемых обучающимися в соответствии с этими требованиями.

Контроль знаний обучающихся проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины, организации работы обучающихся в ходе учебных занятий и проведения, в случае необходимости, индивидуальных консультаций. К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретённых обучающимися на практических занятиях и лабораторных работах.

Текущий контроль студентов по данной дисциплине проводится на основании результатов выполнения ими практических и лабораторных работ. При выполнении практических и лабораторных работ применяется система оценки «зачтено – не зачтено». Количество практических занятий лабораторных работ определено утвержденным учебным графиком.

По итогам курса студенты сдают в конце семестра обучения экзамен. Форма проведения экзамена – устный ответ, по утвержденным экзаменационным билетам, сформулированным с учетом содержания учебной дисциплины. В экзаменационный билет включается два теоретических вопроса по темам курса. Результаты сдачи экзамена оцениваются оценками «неудовлетворительно», «удовлетворительно», «хорошо», «отлично».

1 Паспорт фонда оценочных средств по дисциплине

ПК-5: Способен осуществлять организационное и технологическое обеспечение кодирования на языках программирования

ПК-5.2. Контролирует соответствие разработанного кода и процесса кодирования на языках программирования принятым в организации или проекте стандартам и технологиям

Знает: языки описания аппаратуры, методы разработки и контроля кодового представления цифровых устройств.

Умеет: разрабатывать программный код описания цифровых устройств и контролировать правильность его реализации.

Владеет: приемами контроля соответствия разработанного кода и процесса кодирования стандартам и технологиям, принятым в организации или проекте.

№ п/п	Контролируемые разделы дисциплины	Код контролируемой компетенции	Наименование оценочного средства
1	Основы языка описания аппаратуры AHDL	ПК-5.2-3	Экзамен
2	Операторы текстового описания проекта в AHDL	ПК-5.2-3 ПК-5.2-У	Экзамен Защита ЛР №1.
3	Применение конструкций языка AHDL	ПК-5.2-3	Экзамен
4	Описание комбинационных схем на языке AHDL	ПК-5.2-3 ПК-5.2-У	Экзамен Защита ЛР №2 Отчет о выполнении практического занятия № 1
5	Последовательностная логика в AHDL	ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Экзамен Отчеты о выполнении заданий практических занятий №2, 3. Защита ЛР №3, 4.
6	Последовательностная логика в AHDL	ПК-5.2-3	Экзамен

7	Описание проекта в VHDL	ПК-5.2-3 ПК-5.2-У	Экзамен
8	Проектирование логических схем в VHDL	ПК-5.2-3 ПК-5.2-У	Экзамен Отчет о выполнении практического занятия № 4
9	Конфигурирование компонентов схем в VHDL	ПК-5.2-3 ПК-5.2-У	Экзамен

Критерии оценивания компетенций по результатам выполнения практических и защиты лабораторных работ, сдачи экзамена

1. Уровень усвоения материала, предусмотренного программой.
2. Умение анализировать материал, устанавливать причинно-следственные связи.
3. Качество ответов на вопросы: логичность, убежденность, общая эрудиция.

Критерии защиты результатов выполнения практических заданий (работ):

«зачтено» - студент правильно выполнил задание практической работы, ориентируется в механизмах и последовательности решения поставленных в практическом задании задач, представляет отчет о выполнении практического задания;

«не зачтено» - студент не имеет отчета о практической работе, с ошибками или не полностью выполнил задание практической работы, плохо ориентируется в принципах решения задач практического задания, не предоставил отчета о выполнении практического задания.

Критерии приема лабораторных работ:

«зачтено» - студент представил полный отчет о лабораторной работе, ориентируется в представленных в работе результатах, осознано и правильно отвечает на контрольные вопросы;

«не зачтено» - студент не имеет отчета о лабораторной работе, в отчете отсутствуют некоторые пункты задания на выполнение работы, при наличии полного отчета студент не ориентируется в представленных результатах и не отвечает на контрольные вопросы.

Критерии выставления оценок при аттестации результатов обучения по дисциплине в виде экзамена:

- на «отлично» оценивается глубокое раскрытие вопросов, поставленных в экзаменационном задании, понимание смысла поставленных вопросов, полные ответы на смежные вопросы, показывающие всестороннее, системное усвоение учебного материала;

- на «хорошо» оценивается полное раскрытие вопросов, поставленных в экзаменационном задании, понимание смысла поставленных вопросов, но недостаточно полные ответы на смежные вопросы;

- на «удовлетворительно» оценивается неполное раскрытие вопросов экзаменационного задания и затруднения при ответах на смежные вопросы;

- на «неудовлетворительно» оценивается слабое и неполное раскрытие вопросов экзаменационного задания, отсутствие осмысленного представления о существовании вопросов, отсутствие ответов на дополнительные вопросы.

2 Примеры контрольных вопросов для оценивания компетенций

ПК-5.2-3.

1. Какие разделы может содержать текстовое описание (программный код) устройства на языке VHDL?
2. Как в языке VHDL задаются числа и константы?
3. Как в языке VHDL задаются зарезервированные ключевые слова и символы?
4. Как в языке VHDL задаются имена переменных?
5. Представьте формы записи групп в VHDL (десятичные и временные).
6. Как в VHDL объявляются и используются арифметические выражения?
7. Как в языке VHDL используются логические операторы?
8. Как в языке VHDL задаются и используются узлы NODE?
9. Реализация в VHDL булевых выражений и уравнений.
10. Приоритеты в булевых уравнениях. Компараторы.
11. Использование в VHDL переменных значений по умолчанию.
12. Реализация в VHDL условной логики.

13. Как используются в AHDL порты и узлы?
14. Использование в AHDL сложных переменных (одномерных и двумерных групп одноименных элементов, последовательных группы)
15. Примитивы языка AHDL (встроенные примитивы буферов, примитивы триггеров).
16. Как реализуется разработка модулей в языке AHDL?
17. Конечные автоматы на языке AHDL.
18. Цифровые автоматы с памятью, реализация цифровых автоматов, присвоение битов значений в цифровом автомате.
19. Особенности языка описания аппаратуры VHDL.
20. Алфавит языка VHDL.
21. Основы синтаксиса, объекты, атрибуты, компоненты языка VHDL.
22. Элементы программы на VHDL (выражения, интерфейс и тело объекта)

ПК-5.2-У.

1. Как осуществляется использование примитива триггера в программе проекта на AHDL?
2. Перечислите существующие примитивы триггеров, указав их отличительные особенности.
3. Перечислите наиболее часто используемые примитивы буферов. Охарактеризуйте их.
4. В чем состоит отличие использования примитива триггера без объявления от использования с объявлением в разделе переменных?
5. Какие порты примитива триггеров не требуют обязательного назначения сигналов на них?
6. Что требуется сделать для создания прототипа и модуля цифрового устройства, используемого как составной элемент в другом, более крупном проекте?
7. Как подключить модуль к разрабатываемому проекту?
8. Чем отличается программная реализация обычного цифрового устройства от программы устройства, реализованного в виде цифрового автомата?
9. Какую функцию выполняет прототип модуля?
10. Какое преимущество обеспечивают параметризованные модули?
11. Создание последовательного и универсального регистров на языке AHDL.
12. Создание счетчиков на языке AHDL.
13. Объявление объекта на языке VHDL.
14. Поведенческое описание архитектуры на языке VHDL.
15. Поточковая форма представления объекта на VHDL.
16. Структурное описание архитектуры в VHDL.
17. Описание конфигурации в VHDL.

ПК-5.2-В.

1. Как осуществляется использование примитива триггера в программе проекта на AHDL?
2. Перечислите существующие примитивы триггеров, указав их отличительные особенности.
3. Перечислите наиболее часто используемые примитивы буферов. Охарактеризуйте их.
4. В чем состоит отличие использования примитива триггера без объявления от использования с объявлением в разделе переменных?
5. Какие порты примитива триггеров не требуют обязательного назначения сигналов на них?
6. Что требуется сделать для создания прототипа и модуля цифрового устройства, используемого как составной элемент в другом, более крупном проекте?
7. Как подключить модуль к разрабатываемому проекту?
8. Чем отличается программная реализация обычного цифрового устройства от программы устройства, реализованного в виде цифрового автомата?
9. Какую функцию выполняет прототип модуля?
10. Какое преимущество обеспечивают параметризованные модули?

Тестовые вопросы

1. Числа в языке AHDL могут быть представлены :

- 1.1. только в двоичной форме,**
- 1.2. в двоичной, восьмеричной и шестнадцатеричной формах (одновременное использование в одной программе различных типов представления не допускается),**
- 1.3. в двоичной, восьмеричной и шестнадцатеричной формах (одновременное использование в одной программе различных типов представления допускается).**

2. Зарезервированные ключевые слова использовать в качестве переменных:
 - 2.1. можно всегда,
 - 2.2. можно, если поместить их в одинарные кавычки,
 - 2.3. нельзя.
3. Основными модулями программы проекта в AHDL являются:
 - 3.1. интерфейсный раздел, логический раздел,
 - 3.2. предварительный раздел, интерфейсный раздел, раздел переменных, логический раздел,
 - 3.3. интерфейсный раздел, раздел переменных, логический раздел.
4. Группа одноименных элементов:
 - 4.1. допускает указывать их с изменением порядка цитирования,
 - 4.2. оформляется путем перечисления индексов в порядке возрастания,
 - 4.3. оформляется путем перечисления индексов в порядке убывания.
5. Последовательная группа заключается:
 - 5.1. в квадратные скобки,
 - 5.2. в круглые скобки,
 - 5.3. в фигурные скобки.
6. Для использования примитива в AHDL:
 - 6.1. следует определить переменную с его именем в разделе переменных без предварительного подключения к проекту,
 - 6.2. следует определить переменную с его именем только в логическом разделе без предварительного подключения к проекту,
 - 6.3. его необходимо подключить в интерфейсном разделе проекта.
7. Модули языка AHDL:
 - 7.1. размещены только в библиотеке системы проектирования,
 - 7.2. могут создаваться только самим разработчиком,
 - 7.3. могут создаваться как самим разработчиком, так и подключены к проекту из библиотеки системы автоматизированного проектирования (САПР).
8. При задании конечного автомата:
 - 8.1. необходимо полностью описать всю его структуру,
 - 8.2. необходимо описать его состояния и логику переходов,
 - 8.3. необходимо задать таблицу его переходов.
9. В языке VHDL используется:
 - 9.1. алфавит, содержащий 9 элементов,
 - 9.2. алфавит, содержащий 3 элемента,
 - 9.3. алфавит, содержащий 2 элемента.
10. Проект в VHDL может иметь:
 - 10.1. только одну архитектуру,
 - 10.2. может иметь несколько архитектур, причем в проекте учитывается только поведенческая архитектура,
 - 10.3. может иметь несколько архитектур, причем в проекте учитывается только последняя из разработанных архитектур.
11. При определении порта в VHDL задается:
 - 11.1. тип порта и тип сигнала, подаваемый не него,
 - 11.2. только тип порта,
 - 11.3. тип порта и алфавит сигнала, подаваемый не него.
12. Временные параметры переменной в VHDL можно определить:
 - 12.1. в структурной архитектуре,
 - 12.2. в потоковой архитектуре,
 - 12.3. в поведенческой архитектуре.
13. При описании конфигурации проекта:
 - 13.1. необходимо ее определить после описания проекта,
 - 13.2. необходимо ее определить путем указания на заданные конструкции библиотеки САПР,
 - 13.3. необходимо определить компоненты проекта через модули, размещенные в библиотеке САПР.
14. Если в программе VHDL не указан тип задержки, то это соответствует:

*14.1. транспортной задержке,
14.2. инерциальной задержке,
14.3. транспортной или инерциальной задержке в зависимости от конструкции программы.*

15. При контроле запрещенных ситуаций в VHDL используется оператор:

15.1. ASSERT,

15.2. DEFINE,

15.3. GENERATE.

16. Пакет в VHDL позволяет:

16.1. изменить структуру проекта,

16.2. определить алфавит переменных проекта,

16.3. без изменения структуры программы изменить алфавит ее работы.

3. Формы контроля

3.1. Формы текущего контроля

Текущий контроль по дисциплине проводится в виде тестовых опросов по отдельным темам дисциплины, проверки заданий, выполняемых самостоятельно при подготовке к лабораторным работам и на практических занятиях.

3.2 Формы промежуточного контроля

Форма промежуточного контроля по дисциплине – защита лабораторных работ.

3.3. Формы заключительного контроля

Форма заключительного контроля по дисциплине – экзамен.

4. Критерий допуска к экзамену

К экзамену допускаются студенты, защитившие ко дню проведения экзамена по расписанию экзаменационной сессии все лабораторные работы и практические работы.

Студенты, не защитившие ко дню проведения экзамена по расписанию экзаменационной сессии хотя бы одну лабораторную работу, на экзамене получают неудовлетворительную оценку. Решение о повторном экзамене и сроках проведения экзамена принимает деканат после ликвидации студентом имеющейся задолженности по лабораторным работам.

Составил

заведующий кафедрой АСУ

к.т.н., доцент

Холопов С.И.