

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ ИМЕНИ В.Ф. УТКИНА

Кафедра радиотехнических систем

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине (модулю)

Б1.В.04 «Основы проектирования систем на ПЛИС»

Направление подготовки

11.04.01 Радиотехника

Направленность (профиль) подготовки

Радиотехнические системы локации, навигации и радиоэлектронной борьбы
Беспроводные технологии в радиотехнических системах и устройствах

Уровень подготовки

магистратура

Программа подготовки

академическая магистратура

Квалификация выпускника – магистр

Форма обучения – очная, очно-заочная

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения индивидуальных заданий на практических занятиях и лабораторных работах. При оценивании результатов освоения практических занятий и лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных и практических работ и их тематика определена рабочей программой дисциплины, утвержденной заведующим кафедрой.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением экзамена.

Форма проведения экзамена – письменный ответ по утвержденным экзаменационным билетам, сформулированным с учетом содержания учебной дисциплины. В экзаменационный билет включается два теоретических вопроса и одна задача. После выполнения письменной работы обучающегося производится ее оценка преподавателем и, при необходимости, проводится теоретическая беседа с обучаемым для уточнения экзаменационной оценки.

Паспорт оценочных материалов по дисциплине

| № п/п | Контролируемые разделы (темы) дисциплины | Код контролируемой компетенции (или её части) | Вид, метод, форма оценочного мероприятия |
|-------|---|---|--|
| 1. | Основные сведения о программируемой логике и языке VHDL | ПК-1.2 | экзамен |
| 2. | Конвейерная обработка и параллельные операторы | | экзамен |
| 3. | Реализации протоколов передачи данных на ПЛИС. Часть 1 | | экзамен |
| 4. | Реализация протоколов передачи данных на ПЛИС. Часть 2 | | экзамен |
| 5. | Реализация протоколов передачи данных на ПЛИС. Часть 3 | | экзамен |
| 6. | Системы на кристалле на основе процессора Nios II | | экзамен |

Критерии оценивания уровня сформированности компетенций в процессе выполнения лабораторных работ и практических занятий:

- 41%-60% правильных ответов соответствует пороговому уровню сформированности компетенции на данном этапе ее формирования;
- 61%-80% правильных ответов соответствует продвинутому уровню сформированности компетенции на данном этапе ее формирования;
- 81%-100% правильных ответов соответствует эталонному уровню сформированности компетенции на данном этапе ее формирования.

Сформированность уровня компетенций не ниже порогового является основанием для допуска обучающегося к промежуточной аттестации по данной дисциплине.

Формой промежуточной аттестации по данной дисциплине является экзамен, оцениваемый по принятой в ФГБОУ ВО «РГРТУ» четырехбалльной системе: «неудовлетворительно», «удовлетворительно», «хорошо» и «отлично».

Критерии оценивания промежуточной аттестации представлены в таблице 1.

Таблица 1 - Критерии оценивания промежуточной аттестации (лабораторные и практические занятия, экзамен)

| Шкала оценивания | Критерии оценивания |
|------------------------|---|
| «отлично» | «Отлично» заслуживает студент, обнаруживший всестороннее, систематическое и глубокое знание учебно-программного материала, умение свободно выполнять задания, предусмотренные программой, усвоивший основную и знакомый с дополнительной литературой, рекомендованной программой. Как правило, оценка «отлично» выставляется студентам, усвоившим взаимосвязь основных понятий дисциплины в их значении для приобретаемой профессии, проявившим творческие способности в понимании, изложении и использовании учебно-программного материала. |
| «хорошо» | «Хорошо» заслуживает студент, обнаруживший полное знание учебно-программного материала, успешно выполняющий предусмотренные в программе задания, усвоивший основную литературу, рекомендованную в программе. Как правило, оценка «хорошо» выставляется студентам, показавшим систематический характер знаний по дисциплине и способным к их самостоятельному пополнению и обновлению в ходе дальнейшей учебной работы и профессиональной деятельности. |
| «удовлетворительно» | «Удовлетворительно» заслуживает студент, обнаруживший знания основного учебно-программного материала в объеме, необходимом для дальнейшей учебы и предстоящей работы по специальности, справляющийся с выполнением заданий, предусмотренных программой, знакомый с основной литературой, рекомендованной программой. Как правило, оценка «удовлетворительно» выставляется студентам, допустившим погрешности в ответе на экзамене и при выполнении экзаменационных заданий, но обладающим необходимыми знаниями для их устранения под руководством преподавателя. |
| «не удовлетворительно» | «Неудовлетворительно» выставляется студенту, обнаружившему пробелы в знаниях основного учебно-программного материала, допустившему принципиальные ошибки в выполнении предусмотренных программой заданий. Как правило, оценка «неудовлетворительно» ставится студентам, которые не могут продолжить обучение или приступить к |

| | |
|--|---|
| | профессиональной деятельности по окончании вуза без дополнительных занятий по соответствующей дисциплине. |
|--|---|

Контрольные вопросы для защиты лабораторных работ и практических занятий

1. Каковы отличительные особенности ПЛИС типа CPLD?
2. Каковы отличительные особенности ПЛИС типа FPGA?
3. Объясните назначение сигналов в проекте на языке описания аппаратуры VHDL.
4. Объясните назначение переменных в проекте на языке описания аппаратуры VHDL.
5. Объясните назначение компонентов в проекте на языке описания аппаратуры VHDL.
6. Перечислите основные свойства процессов в VHDL.
7. Приведите примеры последовательных цифровых внутрисхемных протоколов передачи данных.
8. Какой протокол называется синхронным / асинхронным?
9. Какой протокол называется симплексным / дуплексным / полудуплексным?
10. В чем заключается организация информационного обмена по принципу Master-Slave?
11. Какая микросхема (Master или Slave) имеет право генерировать тактовый сигнал в синхронных протоколах передачи данных?
12. Объяснить назначение линий интерфейса SPI.
13. Чем отличаются режимы работы шины SPI?
14. Являются ли режимы работы шины SPI совместными?
15. Объяснить назначение линий интерфейса I2C.
16. Сколько устройств может быть подключено к шине I2C?
17. Объяснить принцип подключения «Монтажное И».
18. Какой интерфейс (I2C или SPI) имеет большую скорость передачи данных?
19. В чем заключается отличие принципа работы D-триггера и триггера-защелки?
20. Какая синхронизация и почему имеет большую помехоустойчивость: по фронту или по уровню?
21. Какой логический уровень имеют синхроимпульсы в линиях интерфейса VGA?
22. Что такое «пиксельная» частота?
23. По сколько бит кодируются данные в DVI?
24. По сколько бит кодируются данные в LVDS?
25. В чем заключается принцип кодирования TDMS?
26. Пояснить преимущество представления дробных чисел в ПЛИС в формате с фиксированной точкой.

Контрольные вопросы для оценки сформированности компетенций

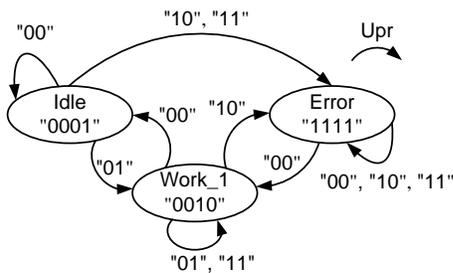
1. Разрешенные идентификаторы в VHDL.
2. Тип `std_logic`.
3. Какие элементы объявляются в декларативной части архитектуры программы?
4. Какие элементы объявляются в декларативной части процесса?
5. Можно ли объявить внутри процесса сигнал? Почему?
6. Можно ли объявить внутри процесса другой процесс? Почему?
7. Процессы в VHDL.
8. Синхронные и асинхронные действия.
9. Настраочные константы в VHDL.
10. Цифровые автоматы Мура и Мили.
11. Перечислите основные характеристики интерфейса SPI.
12. Перечислите основные характеристики интерфейса I2C.
13. Что в системах на кристалле понимается под IP-ядром?
14. Назовите основную шину процессора Nios II.

Примеры задач для практических занятий и экзамена

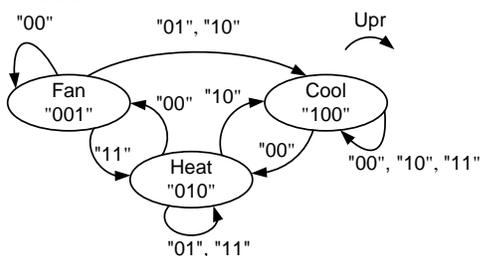
1. Составить описание на языке VHDL D-триггера с входами асинхронной установки *Set* и синхронного сброса *Reset*.
2. Составить описание на языке VHDL D-триггера с входами синхронной установки *Set* и асинхронного сброса *Reset*.
3. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом асинхронного сброса *Reset* (активное значение – высокий логический уровень). Параметр *N* определить как настроочную константу *Generic*. В качестве выходных портов определить параллельный код (содержимое всего регистра) и бит из последнего триггера регистра.
4. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом синхронного сброса *Reset* (активное значение – низкий логический уровень). Параметр *N* определить как настроочную константу *Generic*. В качестве выходных портов определить параллельный код (содержимое всего регистра) и бит из последнего триггера регистра.
5. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень). Параметр *N* определить как настроочную константу *Generic*. В качестве выходных портов определить параллельный код (содержимое всего регистра) и бит из последнего триггера регистра.
6. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень). Параметр *N* определить

как настроечную константу *Generic*. В качестве выходных портов определить параллельный код (содержимое всего регистра) и бит из последнего триггера регистра.

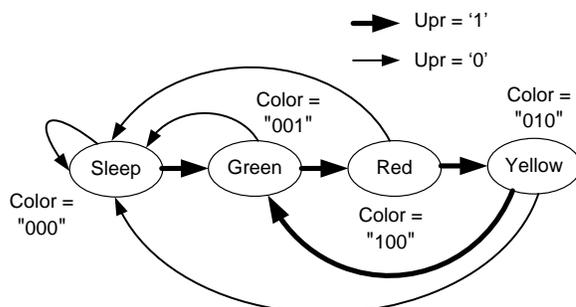
- Составить описание на языке VHDL архитектуры цифрового автомата, описывающего генератор последовательности неотрицательных чисел 0->1->4->9->16->0->... Выходной сигнал автомата должен иметь тип `std_logic_vector`.
- Составить описание на языке VHDL архитектуры цифрового автомата с тактовым сигналом *clk*, входным двухразрядным логическим сигналом *Upr*, выходным четырехразрядным сигналом *Data_out* и заданной диаграммой состояний.



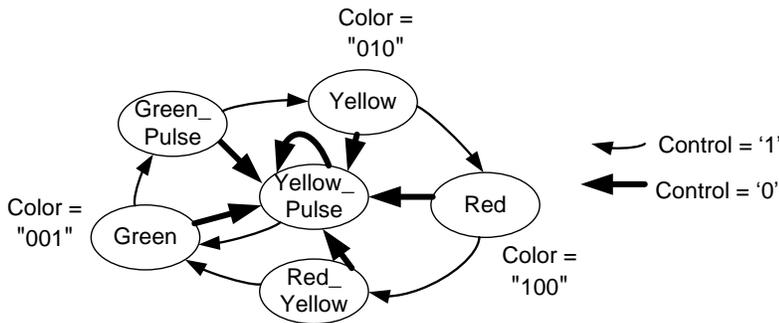
- Составить описание на языке VHDL архитектуры цифрового автомата с тактовым сигналом *clk*, входным двухразрядным логическим сигналом *Upr*, выходным трехразрядным сигналом *Data_out* и заданной диаграммой состояний.



- Составить описание на языке VHDL архитектуры цифрового автомата, управляющего сигналами железнодорожного семафора, с тактовым сигналом *clk*, входным логическим сигналом *Upr*, выходным трехразрядным сигналом *Color* и заданной диаграммой состояний.



11. Составить по заданной диаграмме состояний описание на языке VHDL архитектуры цифрового автомата, управляющего сигналами светофора, с тактовым сигналом *clk*, выходным трехразрядным сигналом *Color*, входным логическим сигналом включения/выключения регулируемого режима работы *Control* и входным логическим сигналом *clk_1_Hz* (меандр частотой 1 Гц) для выдачи мигающих сигналов в режимах ...*_Pulse*.



12. Составить описание на языке VHDL архитектуры делителя частоты с коэффициентом деления 128, используя **только** существующий модуль делителя частоты с фиксированным коэффициентом деления 2, описание которого имеет вид:

```

entity Div_freq_2 is
port
(c_in: in std_logic; -- входной сигнал
clk: out std_logic -- выходной сигнал
);
end Div_freq;
  
```

13. Составить описание на языке VHDL архитектуры делителя частоты с коэффициентом деления 32768 (2^{15}), используя **только** существующий модуль делителя частоты с фиксированным коэффициентом деления 8, описание которого имеет вид:

```

entity Div_freq is
port
(clock: in std_logic; -- входной сигнал
clk: out std_logic -- выходной сигнал
);
end Div_freq;
  
```

14. Составить описание на языке VHDL архитектуры последовательного параметрического *N*-разрядного регистра с входом *D* и выходом *Q*, составленного из последовательного соединения сущностей *D*-триггера с

входом сброса. Описание D-триггера имеет вид:

```
entity D_trig is
port
(clk, rst, D: in std_logic; -- тактовый сигнал, сброс, информационный вход
Q: out std_logic -- выходной сигнал
);
end D_trig;
```

15. Составить описание на языке VHDL **архитектуры** параллельного параметрического M -разрядного регистра с входом D и выходом Q , составленного из параллельного соединения сущностей N -разрядного регистра с входом D_n и выходом Q_n . Разрядность M кратна N . Описание такого регистра имеет вид

```
Entity Parallel_Reg is
port
(
clk: in std_logic; -- тактовый сигнал
Dn: in std_logic_vector (N-1 downto 0);
Qn: std_logic_vector (N-1 downto 0)
);
end Parallel_Reg;
```

Темы курсовых проектов и примеры заданий на курсовой проект

1. Устройство цифровой обработки сигнала на основе ПЛИС.
2. Генератор тестовых видеосигналов на ПЛИС.

Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования

Рязанский государственный радиотехнический университет
им. В.Ф. Уткина
Кафедра радиотехнических систем

ЗАДАНИЕ
на курсовой проект

Студенту _____ Фамилия Имя Отчество _____ группы _____ х10 М

1. Тема проекта: «Устройство цифровой обработки сигнала на основе ПЛИС».

2. Срок сдачи законченного проекта: «__» января 20__ г.

3. Исходные данные к проекту: устройство реализовать на ПЛИС EP2C20F484C7 фирмы «Altera» (семейство «Cyclone-II»).

Входные сигналы:

1) сигнал с акселерометра ADXL 345, принимаемый по интерфейсу SPI, частота дискретизации – 12,5 Гц, максимальный модуль измеряемого ускорения – 16g, цена младшего разряда – 32 mg;

2) частота тактовых импульсов – 24, 27 или 50 МГц;

3) логический сигнал для отображения на светодиодном индикаторе двоичного кода ускорения.

Выходные сигналы:

цифровой последовательный код с результатами обработки сигнала, передаваемый по интерфейсу UART:

- частота следования пакетов равна частоте дискретизации;

- скорость передачи информации – 4 800 бит/с;

- формат пакета: старт-байт (A0) – байты данных с кодами ускорения по осям X, Y, Z акселерометра – контрольная сумма (по правилу XOR) – стоп-байт (F0);

- количество стоповых бит – 1; бит четности – even;

- формат представления: длина слова данных – 16 бит, дополнительный код, значению 16g соответствует код 8191 (0FFF₍₁₆₎).

Индикация:

отображение на семисегментных индикаторах (ССИ) модуля измеряемого ускорения, а также модуля и знака ускорения по осям чувствительности, цена младшего разряда – 10 mg, частота обновления информации на ССИ – 20 Гц.

Фильтры:

фильтрация сигналов – на встроенном процессоре Nios-II, тип фильтра – ФНЧ, порядок фильтра – 3, относительная частота среза – 0,05, тип оперативной памяти СнК – внешняя, SDRAM.

Синхронизация:

- чтения данных с датчика – по строб-сигналу от встроенного процессора Nios-II;

- обработки принятых сигналов – по готовности новых отсчетов с датчика.

Аппаратный идентификатор МП системы:

- значение System ID (в десятичном коде) ФФNNNГГГГ,
где ФФ – порядковый номер фамилии студента по списку группы,

NNN – номер группы, ГГГГ – текущий год.

Питание:

от источника постоянного тока 5 В.

4. Содержание пояснительной записки

Введение.

1. Анализ технического задания.

2. Составление структурной схемы устройства и описание ее работы.

3. Разработка проекта на языке описания аппаратуры (структурный стиль программирования). Анализ быстродействия, затрат ресурсов ПЛИС, условий распространения сигнала.

4. Имитационное моделирование компонентов проекта средствами САПР Quartus II.

5. Экспериментальная часть (анализ результатов макетирования).

Заключение.

Список использованных источников.

Приложения: тексты программ на языке Си и языке описания аппаратуры.

Дата выдачи задания: «__» __ 20__ г. Руководитель проекта _____

Задание принял к исполнению «__» __ 20__ г. Подпись студента _____

Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования

Рязанский государственный радиотехнический университет
им. В.Ф. Уткина
Кафедра радиотехнических систем

ЗАДАНИЕ
на курсовой проект

Студенту Фамилия Имя Отчество группы х10 М

1. Тема проекта: «Генератор тестовых видеосигналов на ПЛИС».
2. Срок сдачи законченного проекта: « » января 20 г.
3. Исходные данные к проекту: устройство реализовать на ПЛИС EP2C20F484C7 фирмы «Altera» (семейство «Cyclone-II»).

Входные сигналы:

1) сигнал выбора режима работы генератора, принимаемый по интерфейсу UART:

- скорость передачи информации – 115 200 бит/с;

- формат кода: Старт-байт – Информационные байты – Стоп-байт;

- количество информационных байт – 5, код режима работы передается в 5-м байте в 6...4 битах (старший бит – слева);

- количество стоповых бит в байте – 1; бит четности – по правилу odd;

2) тактовые импульсы – 24, 27 и 50 МГц.

Выходные сигналы:

аналоговые сигналы HSYNC, VSYNC, R, G и B по стандарту VGA для монитора с параметрами:

частота кадров – 60 Гц; размер кадра – 800x600 пикселей;

режимы работы генератора:

1) вертикальные цветные полосы;

2) зеленое перекрестие на черном фоне:

линий по вертикали – 1, ширина линии – 5 пикс.;

линий по горизонтали – 1, ширина линии – 5 пикс.;

3) шахматное поле: размер клетки – 100 x 100 пикс., цвет темной клетки – желтый;

4) голубое поле, 50 % яркости;

5) серая шкала, число градаций серого – 4.

Индикация:

отображение на семисегментном индикаторе режима работы генератора.

Питание:

от источника постоянного тока 9 В.

4. Содержание пояснительной записки

Введение.

1. Анализ технического задания.

2. Составление структурной схемы устройства и описание ее работы.

3. Разработка проекта на языке описания аппаратуры (структурный стиль программирования). Анализ быстродействия, затрат ресурсов ПЛИС, условий распространения сигнала.

4. Имитационное моделирование компонентов проекта средствами САПР Quartus II.

5. Экспериментальная часть (анализ результатов макетирования).

Заключение.

Список использованных источников.

Приложения: тексты программ на языке Си и языке описания аппаратуры.

Дата выдачи задания: « » __ 20 __ г. Руководитель проекта _____

Задание принял к исполнению « » __ 20 __ г. Подпись студента _____

Вопросы к экзамену

1. Параллельные операторы в ПЛИС. Процессы.
2. Понятие конвейерной обработки в ПЛИС. Повышение быстродействия при конвейерной обработке
3. Структурный стиль программирования. Компоненты. Параметрические компоненты с настроечной константой.
4. Программирование ПЛИС. Интерфейс JTAG. Ячейки граничного сканирования.
5. Применение ПЛИС для реализации протоколов передачи видеоданных. Реализация интерфейса VGA на ПЛИС.
6. Принцип кодирования данных TMDS. Реализация интерфейса DVI на ПЛИС.
7. Принцип кодирования данных TMDS. Реализация интерфейса LVDS на ПЛИС.
8. Интерфейс SPI. Назначение линий шины SPI. Режимы работы.
9. Интерфейс SPI. Чтение и передача данных по SPI.
10. Цифровой конечный автомат SPI-Master.
11. Интерфейс I2C. Назначение линий шины I2C. Z-состояние. Монтажное "И".
12. Интерфейс I2C. Чтение и передача данных по I2C.
13. Интерфейс I2C. Цифровой конечный автомат I2C-Master.
14. Интерфейс I2C. Мультимастерный режим работы. Арбитраж шины I2C.
15. Архитектура процессоров. Системы на кристалле. Встроенный процессор Nios II.
16. IP-ядра. Шина Avalon. Слой абстрагирования.

Составил

к.т.н., доцент кафедры РТС
Заведующий кафедрой РТС,
д.т.н., профессор

И.С. Холопов

В.И. Кошелев