

## ПРИЛОЖЕНИЕ

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РФ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
ИМЕНИ В.Ф. УТКИНА»

КАФЕДРА АВТОМАТИЗИРОВАННЫХ СИСТЕМ УПРАВЛЕНИЯ

### **ОЦЕНОЧНЫЕ МАТЕРИАЛЫ**

по дисциплине

**Б1.В.06 «Программирование микропроцессоров»**

Направление подготовки

09.03.02 Информационные системы и технологии

ОПОП бакалавриата

«Информационные системы в технике и технологиях»

Квалификация (степень) выпускника – бакалавр

Формы обучения – очная, заочная

Рязань

Оценочные материалы предназначены для контроля знаний обучающихся по дисциплине «Программирование микропроцессоров» и представляют собой фонд оценочных средств, образованный совокупностью учебно-методических материалов (контрольных заданий, описаний лабораторных работ), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций обучающихся целям и требованиям основной образовательной программы в ходе проведения учебного процесса.

Основная задача – обеспечить оценку уровня сформированности профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний обучающихся проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины, организации работы обучающихся в ходе учебных занятий и проведения, в случае необходимости, индивидуальных консультаций. К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретённых обучающимися на практических занятиях и лабораторных работах.

Промежуточная аттестация студентов по данной дисциплине проводится на основании результатов защиты лабораторных работ. При выполнении лабораторных работ применяется система оценки «зачтено – не зачтено». Количество лабораторных работ по дисциплине определено утвержденным учебным графиком.

По итогам курса студенты сдают в конце семестра обучения зачет. Форма проведения зачета – устный ответ, по утвержденным экзаменационным билетам, сформулированным с учетом содержания учебной дисциплины. В экзаменационный билет включается два теоретических вопроса по темам дисциплины.

#### **1 Паспорт фонда оценочных средств по дисциплине**

**ПК-5.** Способен осуществлять организационное и технологическое обеспечение кодирования на языках программирования.

**ПК-5.1.** Обеспечивает соответствие разработанного кода и процесса кодирования на языках программирования принятым в организации или проекте стандартам и технологиям.

**Знает:** основы программирования; современные языки ассемблера.

**Умеет:** кодировать на языках программирования ассемблера; тестировать результаты кодирования; тестировать модули ИС.

**Владеет:** приемами разработки кода ИС и тестирования разрабатываемого модуля ИС.

| № п/п | Контролируемые разделы дисциплины                                                                            | Код контролируемой компетенции   | Наименование оценочного средства                                           |
|-------|--------------------------------------------------------------------------------------------------------------|----------------------------------|----------------------------------------------------------------------------|
| 1     | Архитектура микропроцессоров                                                                                 | ПК-5.1-3<br>ПК-5.1-У<br>ПК-5.1-В | Отчеты о выполнении заданий практических занятий № 1 и № 2, Зачет          |
| 2     | Программирование микропроцессоров на основе архитектуры x86                                                  | ПК-5.1-3<br>ПК-5.1-У<br>ПК-5.1-В | Защита ЛР № 1, Зачет                                                       |
| 3     | Программирование микропроцессоров на основе архитектуры x32                                                  | ПК-5.1-3<br>ПК-5.1-У<br>ПК-5.1-В | Защита ЛР № 2, Зачет                                                       |
| 4     | Программирование модуля операций с плавающей точкой (FPU), потокового SIMD-расширения процессора (SSE) и x64 | ПК-5.1-3<br>ПК-5.1-У<br>ПК-5.1-В | Отчет о выполнении задания практического занятия № 3, Защита ЛР № 3, Зачет |
| 5     | Программирование микроконтроллеров                                                                           | ПК-5.1-3                         | Отчет о выполнении                                                         |

|  |               |                      |                                                                  |
|--|---------------|----------------------|------------------------------------------------------------------|
|  | семейства AVR | ПК-5.1-У<br>ПК-5.1-В | задания практического<br>занятия № 4,<br>Защита ЛР № 4,<br>Зачет |
|--|---------------|----------------------|------------------------------------------------------------------|

### **Критерии оценивания компетенций по результатам защиты лабораторных работ и сдачи зачета**

1. Уровень усвоения материала, предусмотренного программой.
2. Умение анализировать материал, устанавливать причинно-следственные связи.
3. Качество ответов на вопросы: логичность, убежденность, общая эрудиция.

Критерии приема лабораторных работ:

«зачтено» - студент представил полный отчет о лабораторной работе, ориентируется в представленных в работе результатах, осознано и правильно отвечает на контрольные вопросы;

«не зачтено» - студент не имеет отчета о лабораторной работе, в отчете отсутствуют некоторые пункты Задания на выполнение работы, при наличии полного отчета студент не ориентируется в представленных результатах и не отвечает на контрольные вопросы.

Критерии выставления оценок при аттестации результатов обучения по дисциплине в виде зачета:

- на «зачтено» оценивается глубокое раскрытие вопросов, поставленных в экзаменационном задании, понимании е смысла поставленных вопросов, полные ответы на смежные вопросы; полное раскрытие вопросов, поставленных в экзаменационном задании, понимание смысла поставленных вопросов, но недостаточно полные ответы на смежные вопросы; неполное раскрытие вопросов экзаменационного задания и затруднения при ответах на смежные вопросы;

- на «не зачтено» оценивается слабое и неполное раскрытие вопросов экзаменационного задания, отсутствие осмысленного представления о существе вопросов, отсутствие ответов на дополнительные вопросы.

## **2 Примеры контрольных заданий для оценивания компетенций**

### **ПК-5.1.**

#### **2.1 Типовые теоретические вопросы для зачета по дисциплине (З)**

1. Понятие микропроцессора. Цикл команды.
2. Система команд.
3. Классификация микропроцессоров.
4. Однокристалльные микропроцессоры.
5. Многокристалльные микропроцессоры.
6. Операционный процессор. Управляющий процессор.
7. Универсальный микропроцессор.
8. Специализированный микропроцессор.
9. Однопрограммный микропроцессор. Мультипрограммный микропроцессор.
10. Основные характеристики микропроцессоров.
11. Микроархитектура. Макроархитектура.
12. Структура типового микропроцессора.
13. Особенности программного и микропрограммного управления операциями.
14. Типы архитектуры. Архитектура Дж. Фон Неймана. Архитектура Гарвардской лаборатории.
15. Регистровая архитектура.
16. Стековая архитектура.
17. Архитектура, ориентированная на память.
18. Микропроцессор i8080.
19. Режимы адресации памяти. Непосредственная адресация. Прямая адресация. Относительная адресация. Укороченная адресация.

20. Режимы адресации памяти. Регистровая адресация. Косвенная адресация. Автоинкрементная и автодекрементная адресация.
21. Режимы адресации памяти. Стековая адресация. Программный стек. Аппаратный стек.
22. Организация ввода-вывода в микропроцессорной системе. Программная модель внешнего устройства.
23. Форматы передачи данных. Параллельная передача данных. Последовательная передача данных.
24. Способы обмена информацией. Программно-управляемый ввод-вывод. Организация прерываний. Организация прямого доступа к памяти.
25. Основные характеристики полупроводниковой памяти.
26. Постоянные запоминающие устройства.
27. Полевой транзистор с плавающим затвором.
28. МНОП (металл-нитрид-оксид-полупроводник) транзистор.
29. Оперативные запоминающие устройства.
30. Статические запоминающие устройства.
31. Динамические запоминающие устройства.
32. Запоминающие устройства с произвольной выборкой.
33. Микросхемы памяти в составе микропроцессорной системы.
34. Буферная память. Стековая память.
35. Архитектура микропроцессора i8086.
36. Регистровая модель i8086.
37. Форматы команд i8086.
38. Способы адресации i8086: непосредственная адресация, прямая адресация, регистровая адресация, косвенно-регистровая адресация, базовая адресация, индексная адресация, адресация базовая со смещением, адресация индексная со смещением, базово-индексная адресация, базово-индексная адресация со смещением.
39. Модели памяти i8086.
40. Ассемблер микропроцессора i8086.
41. Система команд i8086: команды пересылки, арифметические команды.
42. Система команд i8086: логические команды, команды передачи управления.
43. Система команд i8086: команды сравнения, команды организации циклов, команды ввода-вывода.
44. Компиляция программ для i8086.
45. Применение программ архитектуры x86 в современных платформах.
46. Микропроцессор i80386. Регистровая модель i80386.
47. Форматы команд i80386.
48. Система команд i80386.
49. Способы адресации i80386. Базовая адресация с масштабированием. Индексная адресация с масштабированием.
50. Организация памяти i80386. Организация памяти i80386 в «реальном» режиме (real mode). Организация памяти i80386 в «защищенном» режиме (protected mode).
51. Дескриптор. Состав дескриптора.
52. Дескрипторная таблица. Виды дескрипторных таблиц.
53. Скрытые регистры i80386.
54. Страничная организация памяти.
55. Защита памяти (уровни привилегий).
56. Ассемблер i80386.
57. Компиляция программ для i80386.
58. Применение программ архитектуры x386 в современных платформах.
59. Архитектура x64.
60. Регистровая модель x64.

61. Многоядерная архитектура.
62. Архитектура арифметического сопроцессора i8087.
63. Регистровая модель i8087.
64. Система команд i8087.
65. Ассемблер i8087.
66. Компиляция программ под i8087.
67. Понятие Floating Point Unit (FPU).
68. Архитектура устройства SSE.
69. Регистровая модель SSE.
70. Система команд SSE.
71. Ассемблер SSE.
72. Компиляция программ под SSE.
73. Технические характеристики микроконтроллеров AVR.
74. Периферийные устройства микроконтроллеров AVR.
75. Архитектура микроконтроллера AVR.
76. Микроконтроллер AVR. Память программ и стек. Память данных.
77. Микроконтроллер AVR. Регистры управления. Прерывания.
78. Ассемблер микроконтроллера AVR.
79. Система команд микроконтроллера AVR.
80. Интегрированная среда AVR Studio. Создание проекта на ассемблере. Компиляция программы для AVR-микроконтроллера. Отладка программы на ассемблере.

Контрольные вопросы используются на этапах промежуточного контроля (защита лабораторных работ) и заключительного контроля (зачет) уровня достигнутых компетенций по темам. При проведении текущего и промежуточного контроля по темам используются вопросы тестов, реализованных в рамках системы «Образовательный портал кафедры АСУ» – <http://www.rgrty.ru/>

## 2.2 Типовые тестовые вопросы (З, У, В)

1. Буфер адресов переходов используется для ...  
**a) выполнения упреждающей обработки условных переходов;**  
b) обработки прерываний;  
c) организации многозадачности;  
d) вызова подпрограмм;  
e) выполнения упреждающей обработки безусловных переходов.
2. К регистрам общего назначения в архитектуре x64 относятся:  
**a) RAX, RBX, RCX, RDX;**  
b) R0 – R7;  
**c) R8 – R15;**  
**d) RSI, RDI;**  
**e) RBP, RSP.**
3. Кэш-память 2-го уровня микропроцессора i7 является ...  
a) общей для всех ядер;  
b) производитель не раскрывает информацию о кэш-памяти 2-го уровня;  
c) может быть общей или отдельной для ядер в зависимости от поколения i7;  
**d) отдельной для каждого ядра;**  
e) отсутствует в процессоре.
4. Конвейер процессора Pentium IV на ядре Northwood содержит ... стadiи  
a) 24;  
**b) 20;**  
c) 3;

- d) 6;
- e) 12.

5. Микропроцессоры i7 поддерживают ...-канальные контроллеры оперативной памяти

- a) 1;
- b) 4;**
- c) 3;
- d) 8;
- e) 2.**

6. Кэш-память процессора i7 имеет ... уровней

- a) 6;
- b) 3;**
- c) 2;
- d) 1;
- e) 4.

7. Кэш-память 1-го уровня микропроцессора i7 содержит ...

- a) кэш-память данных;**
- b) общая кэш-память;
- c) кэш-память команд;**
- d) кэш-память дескрипторных таблиц;
- e) кэш-память видеоданных.

8. Понятие гиперпоточности подразумевает ...

- a) процессор состоит из нескольких ядер;
- b) одно ядро процессора выполняет несколько потоков;**
- c) процессор имеет многоуровневую систему обработки прерываний;
- d) процессор имеет многоуровневую кэш-память;
- e) процессор имеет целочисленное АЛУ и устройство для работы с плавающей точкой.

9. Для построения многопроцессорных систем используются ...

- a) Intel i3, i5, i7;
- b) Intel Pentium Pro;
- c) Intel Xeon E3, E5, E7;**
- d) Intel i9;
- e) Intel Core 2 Duo.

10. Суперскалярная архитектура подразумевает ...

- a) наличие нескольких модулей памяти;
- b) наличие многоуровневой кэш-памяти;
- c) наличие одного модуля памяти;
- d) наличие нескольких операционных блоков;**
- e) наличие одного операционного блока.

11. Параметр Latency – это ...

- a) время доступа при первом обращении;**
- b) темп передач для последующих слов пакета;
- c) время доступа при последнем обращении;
- d) время доступа при втором обращении;
- e) время доступа при обращении в установившемся режиме.

12. Информационная емкость – это ...

- a) максимальной возможный объем хранимой информации;**
- b) минимально возможный объем хранимой информации;
- c) средний объем хранимой информации;
- d) объем хранимой информации на один адрес;

е) параметр быстродействия запоминающего устройства.

13. Время считывания – это ...

**а) интервал между моментами подачи сигнала чтения и появления цифровой информации, соответствующей заданному адресу, на выходе;**

б) интервал между моментами подачи сигнала чтения и появления некоторой цифровой информации на выходе запоминающего устройства;

с) интервал между моментами подачи сигнала записи и появления цифровой информации, соответствующей заданному адресу, на выходе;

д) интервал между моментами подачи сигнала чтения и появления цифровой информации, соответствующей заданному адресу, на входе запоминающего устройства;

е) интервал между моментами подачи сигнала записи и появления цифровой информации, соответствующей заданному адресу, на входе запоминающего устройства.

14. Запоминающими элементами в статическом ОЗУ являются ...

**а) триггеры;**

б) конденсаторы;

с) диоды;

д) стабилитроны;

е) накопители на магнитной ленте.

15. В динамическом ОЗУ для хранения данных используются ...

**а) конденсаторы;**

б) триггеры;

с) регистры;

д) диоды;

е) резисторы.

16. Ассоциативные ЗУ реализуют поиск информации по ...

**а) признаку;**

б) адресу;

с) части адреса;

д) случайным образом;

е) адресу и признаку.

17. Основной проблемой динамических ЗУ является ...

**а) саморазряд конденсаторов;**

б) потеря данных триггерами;

с) отсутствие доступа по признаку;

д) нестабильность резисторов;

е) нелинейность характеристики диодов.

18. Структура памяти 2D использует ...

**а) организацию запоминающих элементов в виде прямоугольной матрицы;**

б) двухкоординатную выборку запоминающих элементов;

с) продвижение данных в цепочке элементов;

д) циклической работой;

е) трехкоординатную выборку запоминающих элементов.

19. Структура памяти 3D использует ...

**а) двухкоординатную выборку запоминающих элементов;**

б) трехкоординатную выборку запоминающих элементов;

с) однокоординатную выборку запоминающих элементов;

д) циклический принцип работы;

е) стековый принцип работы.

20. Главным недостатком структуры памяти 3D является ...

- а) усложнение элементов памяти, имеющих двухкоординатную выборку;
- б) усложнение элементов памяти, имеющих трехкоординатную выборку;
- с) использование стековой адресации;
- д) использование циклической структуры;
- е) использование D-триггеров.

21. Кэш L2 является инклюзивным по отношению к кэшу L1, если ...

- а) в кэше L2 всегда дублируется содержимое кэша L1;
- б) в кэше L1 всегда дублируется содержимое кэша L2;
- с) в кэше L2 может дублироваться содержимое кэша L1;
- д) в кэше L2 не может дублироваться содержимое кэша L1;
- е) в кэше L2 всегда дублируется 1/2 содержимого кэша L1.

22. В микропроцессоре с тремя уровнями L1, L2, L3 организации инклюзивного кэша обращение к ОЗУ произойдет в случае, если требуемые данные ...

- а) отсутствуют в L1, L2 и L3;
- б) отсутствуют в L1;
- с) отсутствуют в L2;
- д) отсутствуют в L3;
- е) отсутствуют в L1 и L2.

### **2.3. Контрольная работа (для заочной формы обучения) (З, У, В)**

Пример задания на контрольную работу

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
имени В.Ф. Уткина

Кафедра автоматизированных систем управления

ЗАДАНИЕ НА КОНТРОЛЬНУЮ РАБОТУ  
по дисциплине

#### **«Программирование микропроцессоров»**

Студент(ка) \_\_\_\_\_ группы \_\_\_\_\_

Тема: Микропроцессорные архитектуры

Вопросы:

1. Программная модель микропроцессоров Intel архитектуры x86.
2. Адресация памяти микропроцессоров Intel x86.
3. Способы адресации.
4. Директивы ассемблера.
5. Арифметические команды.
6. Логические команды.
7. Команды пересылки данных.
8. Команды передачи управления.
9. Операции над строками.
10. Этапы разработки и отладки программ на ассемблере.
11. Регистр флагов.
12. Сегментные регистры.
13. Программная модель микропроцессора архитектуры x32.
14. Способы адресации в архитектуре x32.
15. Адресация памяти микропроцессоров Intel x32.
16. Дескрипторные таблицы.



17. Механизм защиты памяти.
18. Страничная организация памяти.
19. Назначение сегментных регистров в защищенном режиме.
20. Назначение FPU.
21. Структурная схема сопроцессора i8087.
22. Регистровая модель FPU.
23. Форматы данных FPU.
24. Система команд сопроцессора.
25. Мнемоническое обозначение команд сопроцессора.
26. Команды передачи данных сопроцессора.
27. Команды передачи данных вещественного типа.
28. Команды передачи данных целого типа.
29. Команды загрузки констант.
30. Команды сравнения данных.
31. Арифметические команды.
32. Команды трансцендентных функций.
33. Команды управления сопроцессором.
34. Архитектура микроконтроллера ATmega16.
35. Состав периферийных устройств микроконтроллера ATmega16.
36. Память программ микроконтроллера ATmega16.
37. Память данных микроконтроллера ATmega16.
38. Регистр состояния программ микроконтроллера ATmega16.
39. Регистр управления микроконтроллера ATmega16.
40. Директивы ассемблера микроконтроллера ATmega16.
41. Арифметические команды микроконтроллера ATmega16.
42. Логические команды микроконтроллера ATmega16.
43. Команды передачи данных микроконтроллера ATmega16.
44. Создание проекта в среде AVR Studio.
45. Выполнение программы в среде AVR Studio.

Задание принял к исполнению \_\_\_\_\_ ” \_\_\_\_\_ 20\_\_ г.

Консультант

Челебаев С.В.

### **3 Формы контроля**

#### **3.1 Формы текущего контроля**

Текущий контроль по дисциплине проводится в виде тестовых опросов (в том числе с использованием дистанционных средств контроля на сайте университета [www.cdo.rsreu.ru](http://www.cdo.rsreu.ru)) по отдельным темам дисциплины, проверки заданий, выполняемых самостоятельно при подготовке к лабораторным работам и на практических занятиях.

#### **3.2 Формы промежуточного контроля**

Форма промежуточного контроля по дисциплине – защита лабораторных работ. Защита контрольной работы (для заочной формы обучения).

#### **3.3 Формы заключительного контроля**

Форма заключительного контроля по дисциплине – зачет.

#### **3.4 Критерий допуска к зачету**

К зачету допускаются студенты, защитившие ко дню проведения зачета по расписанию экзаменационной сессии все лабораторные работы.

Студенты, не защитившие ко дню проведения зачета по расписанию экзаменационной сессии хотя бы одну лабораторную работу, на зачете получают оценку «не зачтено». Решение о повторном зачете и сроках проведения зачета принимает деканат после ликвидации студентом имеющейся задолженности по лабораторным работам.

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

СОГЛАСОВАНО

ФГБОУ ВО "РГРТУ", РГРТУ, Холопов Сергей Иванович, Заведующий кафедрой АСУ

Простая подпись