

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
"РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ИМЕНИ
В.Ф. УТКИНА"

СОГЛАСОВАНО
Зав. выпускающей кафедры

УТВЕРЖДАЮ

**Проектирование специализированных цифровых
устройств**
рабочая программа дисциплины (модуля)

Закреплена за кафедрой	Электронных вычислительных машин
Учебный план	09.03.01_26_00_ИИ_ЭВМ.plx 09.03.01 Информатика и вычислительная техника
Квалификация	бакалавр
Форма обучения	очная
Общая трудоемкость	6 ЗЕТ

Распределение часов дисциплины по семестрам

Семестр (<Курс>.<Семестр на курсе>)	5 (3.1)		Итого	
Неделя	16			
Вид занятий	УП	РП	УП	РП
Лекции	32	32	32	32
Лабораторные	32	32	32	32
Практические	16	16	16	16
Иная контактная работа	0,35	0,35	0,35	0,35
Консультирование перед экзаменом и практикой	2	2	2	2
Итого ауд.	82,35	82,35	82,35	82,35
Контактная работа	82,35	82,35	82,35	82,35
Сам. работа	80	80	80	80
Часы на контроль	53,65	53,65	53,65	53,65
Итого	216	216	216	216

г. Рязань

Программу составил(и):

к.т.н., доц., Муратов Евгений Рашитович

Рабочая программа дисциплины

Проектирование специализированных цифровых устройств

разработана в соответствии с ФГОС ВО:

ФГОС ВО - бакалавриат по направлению подготовки 09.03.01 Информатика и вычислительная техника (приказ Минобрнауки России от 19.09.2017 г. № 929)

составлена на основании учебного плана:

09.03.01 Информатика и вычислительная техника

утвержденного учёным советом вуза от 20.05.2026 протокол № 11.

Рабочая программа одобрена на заседании кафедры

Электронных вычислительных машин

Протокол от 13.05.2026 г. № 11

Срок действия программы: 2025-2029 уч.г.

Зав. кафедрой Костров Борис Васильевич

Визирование РПД для исполнения в очередном учебном году

Рабочая программа пересмотрена, обсуждена и одобрена для
исполнения в 2027-2028 учебном году на заседании кафедры
Электронных вычислительных машин

Протокол от _____ 2027 г. № ____

Зав. кафедрой _____

Визирование РПД для исполнения в очередном учебном году

Рабочая программа пересмотрена, обсуждена и одобрена для
исполнения в 2028-2029 учебном году на заседании кафедры
Электронных вычислительных машин

Протокол от _____ 2028 г. № ____

Зав. кафедрой _____

Визирование РПД для исполнения в очередном учебном году

Рабочая программа пересмотрена, обсуждена и одобрена для
исполнения в 2029-2030 учебном году на заседании кафедры
Электронных вычислительных машин

Протокол от _____ 2029 г. № ____

Зав. кафедрой _____

Визирование РПД для исполнения в очередном учебном году

Рабочая программа пересмотрена, обсуждена и одобрена для
исполнения в 2030-2031 учебном году на заседании кафедры

Электронных вычислительных машин

Протокол от _____ 2030 г. № ____

Зав. кафедрой _____

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ (МОДУЛЯ)	
1.1	Целью освоения дисциплины «Проектирование цифровых устройств» является формирование у будущих специалистов знаний и умений, необходимых для решения профессиональных задач в области разработки программно-аппаратного обеспечения цифровой обработки информации, настройки и эксплуатации встраиваемых систем.
1.2	
1.3	Целью дисциплины является формирование компетенций в соответствии с требованиями ФГОС ВО, а также компетенций, определенных в соответствии с компетентностно-ролевой моделью, разработанной ФГАОУ ВО «Национальный исследовательский университет ИТМО» в рамках проекта ТОП-ИИ, в результате освоения которых обучающийся сможет проводить настройку существующих моделей искусственного интеллекта, дообучение моделей искусственного интеллекта, использование ранее созданных программных библиотек и фреймворков для решения прикладных задач в сфере проектирования и эксплуатации программно-аппаратных комплексов обработки мультимедийных данных.
1.4	
1.5	Задачи дисциплины:
1.6	1. Получение и закрепление у обучающихся теоретических знаний о принципах построения цифровых устройств и принципах обработки информации на аппаратном уровне.
1.7	2. Получение обучающимися практических навыков по проектированию цифровых устройств, в том числе на базе программируемых логических интегральных схем (ПЛИС).
1.8	3. Получение обучающимися практических навыков по проектированию специализированных высокопроизводительных вычислительных модулей на базе программируемых логических интегральных схем
1.9	4. Формирование у обучающихся информационно-библиографической культуры и навыков работы с технической документацией, в том числе на иностранном языке.

2. МЕСТО ДИСЦИПЛИНЫ (МОДУЛЯ) В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ	
Цикл (раздел) ОП:	Б1.В
2.1	Требования к предварительной подготовке обучающегося:
2.1.1	Нейросетевые технологии и машинное обучение
2.2	Дисциплины (модули) и практики, для которых освоение данной дисциплины (модуля) необходимо как предшествующее:
2.2.1	Технологическая (проектно-технологическая) практика
2.2.2	ИИ-технологии моделирования сложных процессов и систем
2.2.3	Программирование микроконтроллеров
2.2.4	Массово-параллельные вычисления
2.2.5	Преддипломная практика
2.2.6	Выполнение и защита выпускной квалификационной работы

3. КОМПЕТЕНЦИИ ОБУЧАЮЩЕГОСЯ, ФОРМИРУЕМЫЕ В РЕЗУЛЬТАТЕ ОСВОЕНИЯ ДИСЦИПЛИНЫ (МОДУЛЯ)	
ПК-5: Способен осуществлять программно-аппаратную реализацию алгоритмов цифровой обработки информации	
ПК-5.1. Проектирует и реализует программно-аппаратное описание алгоритмов цифровой обработки информации	
Знать основные комбинационные схемы и схемы памяти, используемые при проектировании цифровых устройств, а также основные принципы проектирования ЦУ Уметь выполнять синтез элементов, входящих в состав цифровых устройств Владеть навыками анализа и отладки цифровых устройств в специализированных САПР	
ПК-5.2. Выполняет аргументированный выбор программно-аппаратных средств реализации алгоритмов цифровой обработки информации	
Знать основные способы описания аппаратуры Уметь выполнять реализацию аппаратных устройств на базе ПЛИС с помощью графических и текстовых описаний аппаратуры Владеть навыками проектирования устройств цифровой обработки информации с использованием языка описания аппаратуры Verilog и графического описания	
ПК-9: Способен применять языки программирования C/C++ для решения задач в области ИИ (PL-4)	

ПК-9.1. Разрабатывает и отлаживает эффективные многопоточные решения на C++, тестирует, испытывает и оценивает качество таких решений
Знать способы параллельного программирования для задач ИИ Уметь моделировать работу конвейерных вычислительных узлов с использованием языков C/C++ Владеть навыками оценки характеристик работы конвейерных алгоритмов
ПК-9.2. Разрабатывает и отлаживает системы ИИ на C++ под конкретные аппаратные платформы с ограничениями по вычислительной мощности, в том числе для встроенных систем
Знать основные алгоритмы применяемые в задачах ИИ Уметь выполнять программную реализацию основных алгоритмов ИИ Владеть навыками отладки программных решений
ПК-12: Способен применять классические алгоритмы машинного обучения с пониманием их математических основ и областей применения (ML-3)
ПК-12.1. Обосновывает способы и варианты применения классических методов и моделей машинного обучения в задачах ИИ, включая их математическое (алгоритмическое) преобразование и адаптацию к специфике задачи
Знать о методах реализации классических алгоритмов ИИ на аппаратных платформах Уметь выполнять изменение разрядности и размерности данных для обработки алгоритмами ИИ Владеть навыками сокращения разрядности для основных алгоритмов ИИ
ПК-12.2. Эффективно применяет классические методы и модели машинного обучения для обеспечения достижимости функциональных характеристик систем ИИ
Знать о способах верификации аппаратных решений Уметь пользоваться симуляционными средами для построения аппаратных решений Владеть навыками обмена данными с аппаратными блоками с помощью внешних интерфейсов
ПК-17: Способен проводить передовые исследования в области управления, решения, агентных и мультиагентных систем (FC-3)
ПК-17.1. Исследует и создает агентные системы
Знать модели построения распределенной системы Уметь формировать пул задач в проекте аппаратной платформы Владеть навыками создания многопоточных архитектур
ПК-17.2. Исследует и создает мультиагентные системы
Знать методы обмена данными в cross-cloking доменах Уметь формировать структуры общей памяти для многопоточных реализаций с элементами ИИ Владеть навыками реализации baremetal кода для алгоритмов с ИИ
ПК-21: Способен применять и (или) разрабатывать архитектуры глубоких нейронных сетей (DL-1)
ПК-21.1. Объясняет и применяет математические основы нейронных сетей, включая расчет градиентов, методы оптимизации и алгоритм обратного распространения ошибки для эффективного обучения моделей

Знать математические основы работы искусственных нейронов; функции активации и их аппаратные реализации; принципы вычисления выходов нейронных сетей; роль градиентов, функции потерь и алгоритма обратного распространения ошибки при обучении нейронных сетей; влияние разрядности представления данных на точность вычислений. Уметь анализировать вычислительную сложность нейросетевых операций; выполнять оценку вычислительных затрат слоев нейронных сетей; выбирать форматы представления данных для аппаратной реализации нейросетевых вычислений. Владеть навыками анализа вычислительных графов нейронных сетей; навыками оценки аппаратных затрат реализации операций нейронных сетей.	
ПК-21.2. Реализует неглубокие нейронные сети (перцептроны, MLP), выбирает количество и размер слоёв, подходящие функции активации и функции потерь для решения задач классификации и регрессии	
Знать структуру однослойного и многослойного перцептрона; функции активации и функции потерь для задач классификации и регрессии; особенности аппаратной реализации MLP. Уметь проектировать вычислительные узлы перцептрона и MLP на ПЛИС; выбирать количество вычислительных блоков и параметры разрядности; реализовывать операции умножения, суммирования и активации. Владеть навыками разработки аппаратных реализаций перцептрона и MLP; навыками моделирования работы нейронных слоев в средах САПР.	
ПК-21.3. Применяет современные архитектуры глубоких сетей для решения различных задач, понимая их внутреннюю структуру и особенности обучения	
Знать архитектуры CNN, RNN, LSTM и Transformer; принципы организации вычислений в глубоких нейронных сетях; особенности аппаратного ускорения глубоких моделей. Уметь анализировать структуру современных нейронных сетей; выделять вычислительные узлы для аппаратной реализации; выбирать способы аппаратного ускорения различных типов нейросетей. Владеть навыками декомпозиции глубоких нейронных сетей на аппаратные вычислительные блоки; навыками проектирования аппаратных ускорителей отдельных слоев.	
ПК-21.4. Разрабатывает и оптимизирует специализированные архитектуры для работы с изображениями, учитывая их уникальные свойства	
Знать архитектуру сверточных нейронных сетей; особенности обработки изображений в CNN; методы аппаратной оптимизации сверточных вычислений. Уметь проектировать конвейерные архитектуры обработки изображений; реализовывать сверточные операции и pooling на аппаратном уровне; выбирать способы организации памяти для обработки изображений. Владеть навыками разработки аппаратных ускорителей CNN; навыками оптимизации производительности вычислительных узлов обработки изображений.	

В результате освоения дисциплины (модуля) обучающийся должен

3.1 Знать:	
3.1.1	современную элементную базу и основные принципы проектирования цифровых устройств на базе ПЛИС, методы проектирования аппаратных решений с элементами алгоритмов ИИ
3.2 Уметь:	
3.2.1	выполнять синтез цифровых устройств для решения конкретных задач обработки информации на базе ПЛИС, оценивать результат работы аппаратных решений и выполнять их отладку
3.3 Владеть:	
3.3.1	навыками работы в современных САПР для синтеза и анализа работы цифровых устройств, навыками оптимизации аппаратных решений для задач ИИ

4. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)						
Код занятия	Наименование разделов и тем /вид занятия/	Семестр / Курс	Часов	Компетенции	Литература	Форма контроля
	Раздел 1. Арифметические и логические основы цифровых устройств					
1.1	Арифметические и логические основы цифровых устройств /Тема/	5	0			Контрольные вопросы. Зачет, экзамен
1.2	Системы счисления, выполнение арифметических и логических операций в двоичной системе счисления. Основы алгебры логики. Логические аксиомы, тождества и теоремы. Выбор базиса. Описание цифровых устройств на языке	5	2	ПК-5.1-3 ПК-5.2-3	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
1.3	Понятие системы счисления. 2, 8, 16 СС /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л2.4	Отчет по практическому занятию
1.4	Способы представления чисел в ЭВМ. Форматы данных. Арифметические операции в 2, 8, 16 СС /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л2.4	Отчет по практическому занятию
1.5	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям /Ср/	5	10	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
	Раздел 2. Элементная база цифровых вычислительных устройств					
2.1	Элементная база цифровых вычислительных устройств /Тема/	5	0			Контрольные вопросы. Зачет, экзамен
2.2	Схемотехника логических элементов ТТЛ и КМОП. Программируемые логические интегральные схемы, классификация, назначение, структура. Системы автоматизированного проектирования устройств на основе ПЛИС /Лек/	5	2	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
2.3	Основы алгебры логических высказываний /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л2.4	Отчет по практическому занятию
2.4	Синтез логических элементов на различных базах /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л2.4	Отчет по практическому занятию
2.5	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям /Ср/	5	10	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
	Раздел 3. Синтез и анализ логических устройств комбинационного типа					
3.1	Синтез и анализ логических устройств комбинационного типа /Тема/	5	0			Контрольные вопросы. Зачет, экзамен

3.2	Основные задачи синтеза и анализа комбинационных схем. Составление таблицы истинности. Запись логических функций в СДНФ или в СКНФ. Разработка схемы устройства для реализации на основе ПЛИС. Составление описания на языке Verilog. Составление теоретических временных диаграмм. Анализ элементов расширенного базис ПЛИС. Анализ типовых вычислительных устройств комбинационного типа: мультиплексоров, одноразрядного полусумматора, одноразрядного сумматора, инкремента, параллельного сумматора с последовательным переносом, дешифраторов и шифраторов, компараторов кодов. Описания типовых вычислительных устройств комбинационного типа на языке Verilog. Универсальный логический элемент ПЛИС на основе мультиплексора. Синтез преобразователей кодов - прямого кода в обратный и дополнительный, двоичного в код Грея. Синтез АЛУ комбинационного типа /Лек/	5	4	ПК-5.1-3 ПК-5.2-3	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
3.3	Знакомство с системой автоматизированного проектирования Intel(Altera) QuartusII /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1	Отчет по практическому занятию
3.4	Канонический метод проектирования цифровых устройств /Пр/	5	1	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1	Отчет по практическому занятию
3.5	Простейшие комбинационные схемы полусумматор, сумматор, мультиплексор, демultipлексор, шифратор, дешифратор, компаратор /Лаб/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л3.2	Отчет по лабораторной работе
3.6	Исследование описания простейших комбинационных схем на языке Verilog HDL /Лаб/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л3.2	Отчет по лабораторной работе
3.7	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям и лабораторным работам /Ср/	5	10	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1 Л1.4Л2.4 Л2.3Л3.1 Л3.2	Контрольные вопросы. Зачет, экзамен
	Раздел 4. Синтез и анализ устройств с элементами памяти					
4.1	Синтез и анализ устройств с элементами памяти /Тема/	5	0			Контрольные вопросы. Зачет, экзамен

4.2	Асинхронные триггеры с прямыми и с инверсными установочными входами, схемы, физика работы, таблицы истинности, временные диаграммы. Синхронный RS-триггер. Двухступенчатый RS-триггер. Статический и динамический D-триггеры. JK-триггер. Счетный триггер. Комбинированные триггеры в ПЛИС. Описание триггеров на языке Verilog. Регистры: параллельный, сдвигающий, универсальный, буферный. Регистровая память в процессорах. АЛУ регистрового типа, описание на языке Verilog. Счетчики: асинхронные, синхронные, многофункциональные. Построение счетчиков с произвольным модулем. Описание счетчиков на языке Verilog. Распределители импульсов. Постоянные запоминающие устройства. Оперативные	5	4	ПК-5.1-3 ПК-5.2-3	Л1.5 Л1.1Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
4.3	Типы триггеров. Асинхронные и синхронные статические триггеры, Динамические триггеры /Пр/	5	2	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1	Отчет по практическому занятию
4.4	Синтез и анализ элементов памяти /Лаб/	5	2	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л3.2	Отчет по лабораторной работе
4.5	Синтез и анализ счётных устройств /Лаб/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л3.2	Отчет по лабораторной работе
4.6	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям и лабораторным работам /Ср/	5	15	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3Л3.1 Л3.2	Контрольные вопросы. Зачет, экзамен
	Раздел 5. Синтез и анализ цифровых автоматов					
5.1	Синтез и анализ цифровых автоматов /Тема/	5	0			Контрольные вопросы. Зачет, экзамен
5.2	Этапы синтеза конечного автомата. Синтез реверсивного счетчика по модулю. Постановка задачи. Граф автомата. Выбор разрядности памяти и кодирование состояний автомата. Таблица переходов. Описание конечного автомата на языке Verilog. Тестирование автомата /Лек/	5	6	ПК-5.1-3 ПК-5.2-3	Л1.5 Л1.1Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
5.3	Конечные автоматы. Принципы построения /Пр/	5	2	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1	Отчет по практическому занятию
5.4	Синтез вычислительного устройства, как КА /Лаб/	5	8	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1Л3.2	Отчет по лабораторной работе
5.5	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям и лабораторным работам /Ср/	5	15	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3Л3.1 Л3.2	Контрольные вопросы. Зачет, экзамен
	Раздел 6. Проектирование устройств цифровой обработки информации на базе ПЛИС					

6.1	Проектирование устройств цифровой обработки информации на базе ПЛИС /Тема/	5	0			Контрольные вопросы. Зачет, экзамен
6.2	Построение комбинационных умножителей. Реализация конвейерных вычислительных модулей. Параллельное выполнение операций. Использование конвейерных вычислительных модулей при реализации слоев нейронных сетей. Аппаратная реализация операций умножения и накопления (МАС) для нейросетевых	5	6	ПК-5.1-3 ПК-5.2-3 ПК-21.1-3 ПК-21.2-3	Л1.1Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
6.3	Выполнение сложных арифметических операций на ПЛИС /Пр/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В	Л1.1	Отчет по практическому занятию
6.4	Работа с встроенными элементами памяти. Организация хранения весов и обработка массивов данных нейронной сети. /Лаб/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В ПК-21.1-У ПК-21.1-В ПК-21.2-У ПК-21.2-В	Л1.1Л3.2	Отчет по лабораторной работе
6.5	Цифровая обработка информации и реализация вычислительного слоя нейронной сети на ПЛИС. /Лаб/	5	4	ПК-5.1-У ПК-5.1-В ПК-5.2-У ПК-5.2-В ПК-21.1-У ПК-21.1-В ПК-21.2-У ПК-21.2-В	Л1.1Л3.2	Отчет по лабораторной работе
6.6	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий. Подготовка к практическим занятиям и лабораторным работам /Ср/	5	10	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3Л3.1 Л3.2	Контрольные вопросы. Зачет, экзамен
	Раздел 7. Проектирование узлов вычислительных устройств для решения задач искусственного интеллекта					
7.1	Проектирование узлов вычислительных устройств для решения задач искусственного интеллекта /Тема/	5	0			
7.2	Основные вычислительные узлы, используемые для решения задач ИИ. Синтез узлов на языке Verilog. Архитектуры перцептрона, MLP и CNN. Вычислительные блоки нейронных сетей. Аппаратная реализация МАС-операций, функций активации и сверточных слоев. /Лек/	5	4	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В ПК-12.1-3 ПК-12.1-У ПК-12.1-В ПК-12.2-3 ПК-12.2-У ПК-12.2-В ПК-17.1-3 ПК-17.1-У ПК-17.1-В ПК-17.2-3 ПК-17.2-У ПК-17.2-В ПК-21.1-3 ПК-21.2-3 ПК-21.3-3 ПК-21.4-3	Л1.1 Л1.3 Л1.2Л3.1 Л3.2	

7.3	Синтез вычислительных узлов перцептрона и сверточного слоя на языке Verilog /Лаб/	5	2	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В ПК-12.1-3 ПК-12.1-У ПК-12.1-В ПК-12.2-3 ПК-12.2-У ПК-12.2-В ПК-17.1-3 ПК-17.1-У ПК-17.1-В ПК-17.2-3 ПК-17.2-У ПК-17.2-В ПК-21.2-У ПК-21.2-В ПК-21.3-У ПК-21.3-В ПК-21.4-У ПК-21.4-В	Л1.1 Л1.3 Л1.2Л3.1 Л3.2	
7.4	Моделирование и анализ работы вычислительных узлов CNN и MLP. Сравнение программной и аппаратной реализации. /Пр/	5	2	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В ПК-9.1-3 ПК-9.1-У ПК-9.1-В ПК-9.2-3 ПК-9.2-У ПК-9.2-В ПК-12.1-3 ПК-12.1-У ПК-12.1-В ПК-12.2-3 ПК-12.2-У ПК-12.2-В ПК-17.1-3 ПК-17.1-У ПК-17.1-В ПК-17.2-3 ПК-17.2-У ПК-17.2-В ПК-21.3-У ПК-21.3-В ПК-21.4-У ПК-21.4-В	Л1.1 Л1.3 Л1.2	
	Раздел 8. Проектирование микропроцессорных систем на основе ПЛИС					
8.1	Проектирование микропроцессорных систем на основе ПЛИС /Тема/	5	0			Контрольные вопросы. Зачет, экзамен

8.2	Архитектуры микропроцессорных систем. Структуры процессоров. Выбор системы команд процессора. Разработка процессора для реализации в ПЛИС. Разработка функциональной схема процессора. Разработка состава и форматов системы команд с непосредственной, с регистровой, с косвенной регистровой, с прямой адресацией. Разработка модуля управления адресами команд и устройства синхронизации записи данных. Разработка блока РОН и модуля АЛУ. Разработка схемы процессора. Разработка программ для синтезированного процессора. Аппаратные ускорители глубоких нейронных сетей. Интеграция нейросетевых вычислительных модулей в состав специализированных процессорных систем. /Лек/	5	3,5	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В ПК-21.3-3 ПК-21.4-3	Л1.5 Л1.1Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
8.3	Современные аппаратные ускорители для нейросетей (0,5 ч) Обзор подходов к проектированию специализированных ИИ-чипов: цифровые и смешанно-сигнальные архитектуры. Примеры актуальных разработок: 1. Yoo S., Ko G., Ham S., Kim S., Chen Y., Kim J. Y. A 28nm 4.96 TOPS/W End-to-End Diffusion Accelerator with Reconfigurable Hyper-Precision and Unified Non-Matrix Processing Engine // ESSERC 2024: Proceedings of the 50th IEEE European Solid-State Electronics Research Conference. — 2024. — P. 253–256. — DOI: 10.1109/ESSERC62670.2024.10719558. 2. Lefebvre M., Bol D. A Mixed-Signal Near-Sensor Convolutional Imager SoC with Charge-Based 4b-Weighted 5-to-84-TOPS/W MAC Operations for Feature Extraction and Region-of-Interest Detection // Proceedings of the IEEE Custom Integrated Circuits Conference (CICC 2024). — 2024. — DOI: 10.1109/CICC60959.2024.10528961. /Лек/	5	0,5	ПК-21.1-3 ПК-21.2-3 ПК-21.3-3 ПК-21.4-3	Л2.1 Л2.2	
8.4	Изучение конспекта лекций и рекомендованной литературы по тематике проводимых занятий /Ср/	5	10	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В ПК-21.3-3 ПК-21.4-3	Л1.5 Л1.1Л2.4 Л2.3Л3.1	Контрольные вопросы. Зачет, экзамен
Раздел 9. Промежуточная аттестация						
9.1	Промежуточная аттестация /Тема/	5	0			Контрольные вопросы. Экзамен
9.2	Иная контактная работа /ИКР/	5	0,35	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3	Контрольные вопросы. Экзамен
9.3	Консультация /Кнс/	5	2	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3	Контрольные вопросы. Экзамен

9.4	Экзамен /Экзамен/	5	53,65	ПК-5.1-3 ПК-5.1-У ПК-5.1-В ПК-5.2-3 ПК-5.2-У ПК-5.2-В	Л1.5 Л1.1Л2.4 Л2.3	Контрольные вопросы. Экзамен
-----	-------------------	---	-------	--	-----------------------	------------------------------------

5. ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)

Оценочные материалы приведены в приложении к рабочей программе дисциплины (см. документ «Оценочные материалы по дисциплине «Проектирование специализированных цифровых устройств»).

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)

6.1. Рекомендуемая литература

6.1.1. Основная литература

№	Авторы, составители	Заглавие	Издательство, год	Количество/ название ЭБС
Л1.1	Новиков Ю. В.	Введение в цифровую схемотехнику	Москва: ИНТУИТ, 2016, 392 с.	5-94774-600- X, https://e.lanbook.com/book/100676
Л1.2	Сотник, С. Л.	Проектирование систем искусственного интеллекта : учебное пособие	Москва: Интернет-Университет Информационных Технологий (ИНТУИТ), Ай Пи Ар Медиа, 2025, 228 с.	978-5-4497-0868-7, https://www.iprbookshop.ru/146389.html
Л1.3	Боровская, Е. В., Давыдова, Н. А.	Основы искусственного интеллекта : учебное пособие	Москва: Лаборатория знаний, 2024, 128 с.	978-5-93208-797-8, https://www.iprbookshop.ru/144313.html
Л1.4	Микушин, А. В., Сединин, В. И.	Цифровая схемотехника : учебное пособие для спо	Саратов: Профобразование, 2024, 326 с.	978-5-4488-1670-3, https://www.iprbookshop.ru/134188.html
Л1.5	Виноградов А. А., Нестеров М. Н., Яковлев А. О., Килин С. В, Сингатулин Р. С., Михайлова М. Ю., Нестеров А. Н., Сапрыка А. В.	Микропроцессоры и микропроцессорные устройства : учебное пособие для студентов энергетических специальностей	Белгород: Белгородский государственный технологический университет им. В.Г. Шухова, ЭБС АСВ, 2012, 167 с.	2227-8397, http://www.iprbookshop.ru/28360.html

6.1.2. Дополнительная литература

№	Авторы, составители	Заглавие	Издательство, год	Количество/ название ЭБС
---	---------------------	----------	-------------------	-----------------------------

№	Авторы, составители	Заглавие	Издательство, год	Количество/название ЭБС
Л2.1		Yoo S., Ko G., Ham S., Kim S., Chen Y., Kim J. Y. A 28nm 4.96 TOPS/W End-to-End Diffusion Accelerator with Reconfigurable Hyper-Precision and Unified Non-Matrix Processing Engine // ESSERC 2024: Proceedings of the 50th IEEE European Solid- State Electronics Research Conference. — 2024. — P. 253–256. — DOI:	, ,	, 0
Л2.2		Lefebvre M., Bol D. A Mixed-Signal Near-Sensor Convolutional Imager SoC with Charge-Based 4b-Weighted 5-to-84-TOPS/W MAC Operations for Feature Extraction and Region-of-Interest Detection // Proceedings of the IEEE Custom Integrated Circuits Conference (CICC 2024). — 2024. — DOI: 10.1109/CICC60959.2024.10528961.	, ,	, 0
Л2.3	Болдырихин О. В.	Гарвардская RISC-архитектура в микроконтроллерах AVR. Средства ввода-вывода, хранения и обработки цифровой и аналоговой информации в микроконтроллерах AVR для построения микропроцессорных систем управления : методические указания к лабораторной работе по дисциплине "микропроцессорные системы"	Липецк: Липецкий государственный технический университет, ЭБС АСВ, 2013, 39 с.	2227-8397, http://www.iprbookshop.ru/22860.html
Л2.4	Кирнос В. Н.	Введение в вычислительную технику. Основы организации ЭВМ и программирование на Ассемблере : учебное пособие	Томск: Томский государственный университет систем управления и радиоэлектроники, Эль Контент, 2011, 172 с.	978-5-4332-0019-7, http://www.iprbookshop.ru/13921.html

6.1.3. Методические разработки

№	Авторы, составители	Заглавие	Издательство, год	Количество/название ЭБС
Л3.1	Суханова Н. В., Кудряшов В. С.	Основы электроники и цифровой схемотехники : учебное пособие	Воронеж: Воронежский государственный инженерных технологий, 2017, 96 с.	978-5-00032-226-0, http://www.iprbookshop.ru/70815.html
Л3.2	Кистрин А.В., Устюков Д.И.	Проектирование цифровых устройств: метод. указ. к лаб. работам : Методические указания	Рязань: , 2020,	, https://elibrsru.ru/ebs/download/2873

6.3 Перечень программного обеспечения и информационных справочных систем

6.3.1 Перечень лицензионного и свободно распространяемого программного обеспечения, в том числе отечественного производства

Наименование	Описание
Операционная система Windows XP/Vista/7/8/10	Microsoft Imagine: Номер подписки 700102019, бессрочно
Quartus II8.1 Web Edition	Свободное ПО

6.3.2 Перечень информационных справочных систем

6.3.2.1	Информационно-правовой портал ГАРАНТ.РУ http://www.garant.ru
6.3.2.2	Система КонсультантПлюс http://www.consultant.ru

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ (МОДУЛЯ)	
1	209 учебно-административный корпус. Учебная аудитория для проведения занятий лекционного и семинарского типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, лабораторных работ, практических и самостоятельных занятий 14 компьютеров (компьютерный класс) с возможностью подключения к сети «Интернет» и обеспечением доступа в электронную информационно-образовательную среду РГРТУ, 48 мест, мультимедиа проектор, экран, компьютер, специализированная мебель, доска
2	210 учебно-административный корпус. Учебная аудитория для проведения занятий лекционного и семинарского типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, лабораторных работ, практических и самостоятельных занятий 12 компьютеров (компьютерный класс) с возможностью подключения к сети «Интернет» и обеспечением доступа в электронную информационно-образовательную среду РГРТУ, 44 места, мультимедиа проектор, экран, компьютер, специализированная мебель, доска

8. МЕТОДИЧЕСКИЕ МАТЕРИАЛЫ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)
Методическое обеспечение дисциплины приведено в приложении к рабочей программе дисциплины (см. документ «Методические указания дисциплины «Проектирование специализированных цифровых устройств»).

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

ПОДПИСАНО
ЗАВЕДУЮЩИМ
КАФЕДРЫ**ФГБОУ ВО "РГРТУ", РГРТУ**, Костров Борис Васильевич,
Заведующий кафедрой ЭВМ**28.06.26** 17:56 (MSK)

Простая подпись

ПОДПИСАНО
ЗАВЕДУЮЩИМ
ВЫПУСКАЮЩЕЙ
КАФЕДРЫ**ФГБОУ ВО "РГРТУ", РГРТУ**, Костров Борис Васильевич,
Заведующий кафедрой ЭВМ**28.06.26** 17:56 (MSK)

Простая подпись