

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

Кафедра «Радиотехнические системы»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

Б1.В.ДВ.04.02 «МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ»

Направление подготовки
11.03.01 Радиотехника

Направленность (профиль) подготовки
Радиофотоника

Уровень подготовки
бакалавриат

Квалификация выпускника – бакалавр

Формы обучения – очная

Рязань 2020

1. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ

1.1. Область применения

Оценочные материалы – это совокупность учебно-методических материалов, предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения индивидуальных заданий на лабораторных работах. При оценивании результатов освоения лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных работ и их тематика определена рабочей программой дисциплины.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением теоретического зачета.

Форма проведения зачета – устный ответ с письменным подкреплением (по необходимости).

Дополнительным средством оценки знаний и умений студентов является отчет о проведении лабораторных работ и его защита.

1.2. Перечень основных задач профессиональной деятельности выпускников (по типам)

Область профессиональной деятельности (по Реестру Минтруда)	Типы задач профессиональной деятельности	Задачи профессиональной деятельности	Объекты профессиональной деятельности (или области знания)
40 Сквозные виды профессиональной деятельности	научно - исследовательский	Анализ научно-технической информации, отечественного и зарубежного опыта по тематике исследования; Моделирование объектов и процессов, в том числе с использованием стандартных пакетов прикладных программ; Участие в планировании и	Радиотехнические системы, комплексы и устройства, методы и средства их моделирования, экспериментальной отработки.

		проведении экспериментов по заданной методике; Обработка результатов с применением современных информационных технологий и технических средств; Составление обзоров и отчетов по результатам проводимых исследований; Организация защиты объектов интеллектуальной собственности и результатов исследований и разработок.	
40 Сквозные виды профессиональной деятельности	проектный	Проведение предварительного технико-экономического обоснования проектов радиотехнических устройств и систем; Сбор и анализ исходных данных для расчета и проектирования деталей, узлов и устройств радиотехнических систем; Расчет и проектирование деталей, узлов и устройств радиотехнических систем в соответствии с техническим заданием с использованием средств автоматизации проектирования; Разработка проектной и технической документации, Оформление законченных проектно-конструкторских работ; Контроль соответствия разрабатываемых проектов и технической документации стандартам, техническим условиям и другим нормативным документам.	Радиотехнические системы, комплексы и устройства, методы и средства их проектирования, подготовки к производству и технического обслуживания.

1.3 Рекомендуемые профессиональные компетенции выпускников и индикаторы их достижения (при наличии)

Задача ПД	Объект или область знания	Код и наименование профессиональной компетенции	Код и наименование индикатора достижения профессиональной компетенции	Обоснование (ПС, анализ опыта)
-----------	---------------------------	---	---	--------------------------------

			петенции	
Тип задач профессиональной деятельности: научно-исследовательский				
Анализ научно-технической информации, отечественного и зарубежного опыта по тематике исследования; Моделирование объектов и процессов, в том числе с использованием стандартных пакетов прикладных программ; Участие в планировании и проведении экспериментов по заданной методике; Обработка результатов с применением современных информационных технологий и технических средств; Составление обзоров и отчетов по результатам проводимых исследований; Организация защиты объектов интеллектуальной собственности и результатов исследований и разработок.	Радиотехнические системы, комплексы и устройства, методы и средства их моделирования, экспериментальной отработки.	ПК-1. Способен выполнять математическое моделирование объектов и процессов по типовым методикам, в том числе с использованием стандартных пакетов прикладных программ	ИД-1 _{ПК-1} Проводит моделирование аналоговых блоков радиофотонных устройств и сложнофункционального блока средствами автоматизированного проектирования, в том числе статистическим и методами ИД-2 _{ПК-1} Проверяет соответствие результатов моделирования требованиям характеристик аналоговых блоков радиофотонных устройств	40.035 Инженер-конструктор аналоговых сложфункциональных блоков
Тип задач профессиональной деятельности: проектный				
Проведение предварительного технико-экономического обоснования проектов радиотехнических устройств и систем; Сбор и анализ исходных данных для расчета и проектирования деталей, узлов и устройств радиотехнических систем; Расчет и проектирование деталей, узлов и устройств радиотехнических систем в	Радиотехнические системы, комплексы и устройства, методы и средства их проектирования, подготовки к производству и технического обслуживания.	ПК-4. Способен разрабатывать принципиальные электрические схемы аналоговых блоков радиофотонных устройств с проведением оценочного расчета их параметров	ИД-1 _{ПК-4} Определяет численные значения технических характеристик аналоговых блоков радиофотонных устройств ИД-2 _{ПК-4} Разрабатывает схемотехнические решения аналоговых блоков радиофотонных	40.035 Инженер-конструктор аналоговых сложфункциональных блоков

соответствии с техническим заданием с использованием средств автоматизации проектирования; Разработка проектной и технической документации, Оформление законченных проектно-конструкторских работ; Контроль соответствия разрабатываемых проектов и технической документации стандартам, техническим условиям и другим нормативным документам.			устройств, в том числе с использованием технологической платформы ИД-3ПК-4 Интегрирует схемотехнические решения аналоговых блоков радиодетонных устройств в состав сложнофункционального блока	
---	--	--	---	--

1.4 Планируемые результаты обучения

Поскольку перечисленные компетенции носят интегральный характер, для разработки оценочных средств целесообразно выделить планируемые результаты обучения – знания, умения и навыки, характеризующие этапы формирования компетенций и обеспечивающие достижение планируемых результатов освоения образовательной программы. Таким образом, в результате освоения дисциплины «Микропроцессорные системы» студенты должны:

Знать:

од	Результаты обучения	Показатели оценки результатов
1	Знать архитектуру и принципы функционирования современных микропроцессоров и микропроцессорных систем, структуру и функционирование основных устройств, входящих в их состав	- знание архитектуры и принципов функционирования современных микропроцессоров и микропроцессорных систем, - знание структуры и функционирования основных устройств, входящих в состав микропроцессоров и микропроцессорных систем
	Знать особенности архитектуры	- знание особенностей архитектуры

2	и функционирования современных микроконтроллеров, основы их программирования на языке ассемблера, состав, функционирование и возможности применения периферийных устройств в составе микроконтроллеров	ры и функционирования микроконтроллеров, - знание основ программирования на языке ассемблера, - знание состава, функционирования и возможностей применения периферийных устройств в составе микроконтроллеров
3	Знать особенности архитектуры и функционирования высокопроизводительных микропроцессоров, способов и средств организации их работы в защищенном режиме, особенности реализации и адресации памяти в высокопроизводительных микропроцессорных системах	- знание особенностей архитектуры и функционирования высокопроизводительных микропроцессоров, - знание способов и средств организации работы микроконтроллеров в защищенном режиме, - знание особенностей реализации и адресации памяти, используемой в высокопроизводительных микропроцессорных системах

Уметь:

од	Результаты обучения	Показатели оценки результатов
1	Уметь разработать общую архитектуру типовой микропроцессорной системы для использования в аппаратуре физических установок, определить состав и характеристики основных устройств, используемых в ее составе	- умение разработать общую архитектуру типовой микропроцессорной системы для использования в физических установках, - умение определить состав и характеристики устройств, используемых в составе микропроцессорных систем
2	Уметь выбрать тип микроконтроллера, обеспечить эффективное использование его периферийных устройств для решения задач управления различными объектами	- умение выбрать тип микроконтроллера и обеспечить его эффективное использование для решения задач управления различными объектами
3	Уметь использовать особенности высокопроизводительных микропроцессоров для решения задач в различных областях применения	- умение эффективно использовать высокопроизводительные микропроцессоры для решения задач в различных областях применения

Владеть:

од	Результаты обучения	Показатели оценки результатов
.1	Владеть основами программирования микропроцессорных систем на языке ассемблера	- владение основами программирования на языке ассемблера
.2	Владеть навыками практического использования современных средств автоматизированного проектирования микропроцессорных систем и отладки их программного обеспечения	- владение навыками использования средств автоматизированного проектирования и отладки программного обеспечения
3	Владеть общей методикой проектирования микропроцессорных систем с учетом области применения и требований к их характеристикам	- владение общей методикой проектирования микропроцессорных систем с учетом области применения и требований к их характеристикам

1.5 Промежуточная аттестация по дисциплине

Формой промежуточной аттестации по дисциплине «Микропроцессорные системы» является зачет

1.6 Перечень оценочных средств используемых для текущей аттестации

од	Наименование оценочного средства	Краткая характеристика оценочного средства	Представление оценочного средства в фонде
1	Тест №1	Система стандартизированных вопросов, позволяющая получить оценку уровня знаний обучающегося.	Фонд тестовых заданий
2	Тест №2		
P1	Контрольная работа №1	Средство проверки умений применять полученные знания для решения определенных задач по теме или разделу	Комплект контрольных заданий по вариантам
P2	Контрольная работа №2		

1.7 Расшифровка компетенций через планируемые результаты обучения

Связь между формируемыми компетенциями и планируемыми результатами обучения представлена в следующей таблице:

Код	К	Проектируемые результаты освоения дисциплины и индикаторы формирования компетенций			Средства и технологии оценки
		Знать (З)	Уметь (У)	Владеть (В)	
К-6	П	31, 32, 33.	У1, У2, У3	В1, В2, В3	Т1, Т2, КР1, КР2, Э
К-7	П	31, 32, 33	У1, У2, У3	В1, В2, В3	Т1, Т2, КР1, КР2, Э

1.8 Этапы формирования компетенций

Раздел	Темы занятий	Коды компетенций	Знания, умения, навыки	Виды аттестации		
				Текущий контроль – неделя	Рубежный контроль – неделя	Промежуточная аттестация
Раздел 1	Тема 1. Микропроцессорные системы (МПС), структура и функционирование. Структура типового микропроцессора	ПК-6, ПК-7	31, 32, 33, У1, У2, У3, В1, В2, В3	Т1--7	КИ – 8	
	Тема 2. Запоминающие устройства в МПС, организация обмена информацией. Классификация микропроцессоров		31, 32, 33, У1, У2, У3, В1, В2, В3	Т1 - 7		
	Тема 3. Архитектура и применение микроконтроллеров. Структура и функционирование 8-разрядных микроконтроллеров		31, 32, 33, У1, У2, У3, В1, В2, В3	КР1-8		
	Тема 4. Структура и					экзамен

	функционирование периферийных устройств микроконтроллеров					
Раздел 2	Тема 5. Особенности структуры и функционирования семейств 8-, 16- и 32-разрядных микроконтроллеров	ПК-1, ПК-7, ПК-18, ПСКЗ-7, ПСКЗ-8	31, 33	T2-15	КИ-15	
	Тема 6. Высокопроизводительные микропроцессоры, микропроцессоры с архитектурой IA-32		31, 32, 33, У1, У2, У3, В1, В2, В3	T2-15, КР2-13		
	Тема 7. Функционирование микропроцессоров с архитектурой IA-32 в защищенном режиме.		31, 32, 33, У1, У2, У3, В1, В2, В3	КР2-13		
	Тема 8. Методика проектирования МПС.					

1.9 Шкала оценки образовательных достижений

Каждое тестовое задание Т1, Т2 содержит 5 вопросов. За каждый тестовый вопрос, на который получен полный и правильный ответ, начисляется 1 балл. Минимальный балл, который необходимо набрать, равен 3. Для выполнения тестового задания дается 20 минут. Ответы фиксируются в тестовых карточках, которые сдаются для проверки преподавателю.

Карточка тестового контроля

№ вопроса					
№ ответа					

од	Вид оценочного сред- ства	Критерии	алл	Макси- мальный балл – минимальный балл
1, 2	Тесто- вые задания № №1, 2	Выставляется студенту, если на все 5 тестовых вопросов получены правильные и полные ответы.		5 – 3
		Выставляется студенту, если на 4 тестовых вопроса из 5 получены правильные и полные ответы		
		Выставляется студенту, если на 3 тестовых вопроса из 5 получены правильные и полные ответы		
		При получении правильных и полных ответов менее, чем на 3 вопроса, тестовое задание не засчитывается и у студента образуется долг, который должен быть закрыт в течении семестра или на зачетной неделе	/3	

Каждое контрольное задание КР1, КР2 содержит 2 вопроса, на которые студент должен дать развернутый ответ в письменном виде. Для выполнения контрольного задания дается 1 академический час. Ответы сдаются на проверку преподавателю.

Ответ на каждый вопрос оценивается по 10-бальной системе. Общее количество баллов за каждое задание определяется суммой баллов, полученных за каждый из его вопросов. При этом минимальное количество баллов за ответ на каждый вопрос должно быть не менее 5, а общее количество баллов за выполнение задания не менее 12. При несоблюдении этих условий контрольное задание не засчитывается и у студента образуется долг, который должен быть закрыт в течении семестра или на зачетной неделе

Итоговая оценка представляет собой сумму баллов, заработанных студентом при выполнении заданий в рамках текущего и промежуточного контроля и выставляется в соответствии с Положением о кредитно-модульной системе в соответствии со следующей шкалой:

Оценка по 5-бальной шкале	Сумма баллов за разделы	Оценка ECTS
5 – «отлично»	90-100	A
4 – «хорошо»	85-89	B
	75-84	C
	70-74	D

3 – «удовлетворительно»	65-69	
	60-64	E
2 – «неудовлетворительно»	Ниже 60	F

Расшифровка уровня знаний, соответствующего полученным баллам, дается в таблице указанной ниже

Оценка по 5-балльной шкале – оценка по ECTS	Сумма баллов за разделы	Требования к знаниям на устном зачёте
«отлично» — A	90 ÷ 100	Оценка «отлично» выставляется студенту, если он глубоко и прочно усвоил программный материал, исчерпывающе, последовательно, четко и логически стройно его излагает, умеет тесно увязывать теорию с практикой, использует в ответе материал монографической литературы.
«хорошо» — D, C, B	70 ÷ 89	Оценка «хорошо» выставляется студенту, если он твёрдо знает материал, грамотно и по существу излагает его, не допуская существенных неточностей в ответе на вопрос.
«удовлетворительно» — E, D	60 ÷ 69	Оценка «удовлетворительно» выставляется студенту, если он имеет знания только основного материала, но не усвоил его деталей, допускает неточности, недостаточно правильные формулировки, нарушения логической последовательности в изложении программного материала.
«неудовлетворительно» — F	менее 60	Оценка «неудовлетворительно» выставляется студенту, который не знает значительной части программного материала, допускает существенные ошибки. Как правило, оценка «неудовлетворительно» ставится студентам, которые не могут продолжить обучение без дополнительных занятий по соответствующей дисциплине.

2.ТИПОВЫЕ КОНТРОЛЬНЫЕ ЗАДАНИЯ

для оценки знаний (З), умений (У) и навыков (В)

2.1 ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ

2.1.1. Вопросы тестового задания №1 (Т1)

1. Укажите, какое устройство микропроцессорной системы устанавливает адрес при пересылке команд и данных.
 1. Операционное устройство.
 2. Управляющее устройство.
 3. Запоминающее устройство.
 4. Интерфейсное устройство.
2. Укажите, откуда выбирается очередная команда выполняемой программы.
 1. Из регистра общего назначения.
 2. Из оперативного запоминающего устройства.
 3. Из регистра состояния.
 4. Из внешних запоминающих устройств.
3. Укажите, откуда выбирается адрес очередной выполняемой команды:
 1. Из регистра общего назначения.
 2. Из регистра состояния.
 3. Из программного счетчика.
 4. Из регистра - указателя стека.
4. Что передается по шине данных микропроцессорной системы.
 1. Адрес данных.
 2. Адрес команды.
 3. Код команды.
 4. Обработываемые данные.
5. Укажите, что содержится в программном счетчике процессора.
 1. Адрес обрабатываемых данных.
 2. Адрес очередной команды.
 3. Код выполняемой команды.
 4. Обработываемые данные.
6. Укажите, что содержится в регистре состояния процессора.
 1. Признаки результата выполнения предыдущей команды.
 2. Биты, определяющие режим работы процессора.
 3. Номер вектора реализуемого прерывания.
 4. Адрес вершины стека.

7. Укажите, что содержится в регистре – указателе стека.
1. Адрес очередной команды.
 2. Код следующей команды.
 3. Адрес первой ячейки стека.
 4. Адрес последней заполненной ячейки стека.
8. Укажите, что содержит вектор прерывания.
1. Код первой команды обработчика прерывания.
 2. Код, указывающий на причину реализации прерывания.
 3. Адрес первой команды обработчика прерываний.
 4. Адрес команды, выполняющейся после обработки прерывания.
9. Какие функции выполняет контроллер прямого доступа к памяти:
1. Формирует запрос на переход процессора в режим прямого доступа к памяти.
 2. Формирует адрес ячейки памяти, к которой осуществляется доступ.
 3. Формирует адрес команды, осуществляющей обращение к памяти.
 4. Формирует управляющие сигналы, обеспечивающие обмен данными между памятью и интерфейсным устройством.
10. В каких случаях процессор переходит в режим обработки прерываний:
1. При поступлении определенной команды.
 2. При поступлении запроса от внешнего устройства.
 3. При обнаружении ошибок в процессе функционирования системы.
 4. При получении команды вызова подпрограммы.
11. Какие функции выполняет контроллер прерываний:
1. В соответствии с приоритетом поступившего запроса прерывания формирует сигнал для перехода процессора к обработке прерывания.
 2. Формирует код команды обработки прерывания.
 3. Формирует адрес первой команды обработчика прерываний.
 4. Передает процессору код поступившего запроса для выборки соответствующего вектора прерывания.
12. Что сохраняется в стеке при вызове подпрограммы:
1. Адрес выполняемой команды.
 2. Содержимое регистра состояния.
 3. Адрес следующей команды программы.
 4. Содержимое регистра – аккумулятора.
13. Какие основные признаки результата содержатся в регистре состояния:

1. Признак переполнения.
 2. Признак нулевого значения делителя.
 3. Признак знака.
 4. Признак переноса.
14. Каковы основные особенности архитектуры современных микроконтроллеров.
 1. Использование внутренней памяти программ и данных.
 2. Сокращенный набор выполняемых команд.
 3. Широкая номенклатура периферийных устройств.
 4. Расширенный набор регистров общего назначения....
 15. Как изменяется содержимое регистраSPпри вызове подпрограммы (команда JSR):
 1. Не изменяется.
 2. Сохраняется адрес выполняемой команды.
 2. Содержимое регистра состояния.
 3. Сохраняется адрес следующей команды программы.
 16. В каких случаях устанавливаются в 0 или 1 значения признаков в регистре состояния CCR при арифметических и логических операциях:
 1. Устанавливается признак Z=1 при нулевом значении операнда.
 2. Устанавливается признак S=0 при отрицательном значении результата.
 3. Устанавливается признак V=0при одновременном формировании переносов в старший разряд и из старшего разряда результата.
 4. Устанавливается признак V=1 при формировании признака C=1 и отсутствии переноса в старший разряд результата.
 - 17 .Какие причины могут вызывать прерывание текущей программы при работе интерфейсаSCI в режиме приема данных:
 - 1.Переполнение приемника.
 - 2.Наличие шумов на линии приема.
 - 3.Поступление символа с нулевыми значениями всех информационных битов.
 4. Ошибка четности принятых данных.
 18. Какие причины могут вызывать прерывание текущей программы при работе интерфейсаSCI в режиме передачи данных:
 - 1.Окончание передачи очередного символа.
 2. Наличие шумов на линии передачи.
 - 3.Начало передачи очередного символа.
 4. Ошибка четности передаваемых данных.
 - 19.Какие причины могут вызывать прерывание текущей программы при передаче

данных с использованием интерфейсаSPI:

1. Завершение приема-передачи очередного символа.
2. Переполнение приемника.
3. Наличие шумов на линии передачи.
4. Ошибка четности передаваемых данных.

20.Какие причины могут вызывать прерывание текущей программы при работе таймера в режиме захвата:

1. Поступление сигнала заданной длительности.
2. Отрицательный перепад сигнала на входе таймера.
3. Положительный перепад сигнала на входе таймера.
4. Любой перепад сигнала на входе таймера.

21.Какие сигналы могут формироваться на выходе таймера в режиме совпадения:

1. Положительный перепад сигнала на выходе таймера.
2. Отрицательный перепад сигнала на входе таймера.
3. Синусоидальный сигнал заданной частоты.
- 4.Сигналы с широтно-импульсной модуляцией.

22. Укажите источник и приемник пересылаемых операндов при выполнении микро-контроллером семейства 68HC08 команды пересылки LDA1000, X

1. Источник – число 1000, приемник - регистр X.
2. Источник – регистр A, приемник – ячейка памяти с адресом (X)+1000.
3. Источник – регистр X, приемник ячейка памяти с адресом 1000.
4. Источник - ячейка памяти с адресом (H:X)+1000, приемник – регистр A.

23. Укажите источник и приемник пересылаемых операндов при выполнении микро-контроллером семейства 68HC08 команды пересылки LDX#100.

1. Источник – число 100, приемник - регистр X.
2. Источник – регистр X, приемник – ячейка памяти с адресом 100.
3. Источник – ячейка памяти с адресом 100, приемник - регистр X.
4. Источник - ячейка памяти с адресом (H:X)+100, приемник – регистр A.

24. Укажите источник и приемник пересылаемых операндов при выполнении микроконтроллером семейства 68HC08 команды пересылки STX100.

1. Источник – число 100, приемник - регистр X.
2. Источник – регистр X, приемник – ячейка памяти с адресом 100.
3. Источник – ячейка памяти с адресом 100, приемник - регистр X.
4. Источник - регистр A, приемник - ячейка памяти с адресом (H:X)+100.

25. Укажите размещение операндов и результата при выполнении микроконтроллера семейства 68HC08 команды вычитания SUB #100.

1. Уменьшаемое – в регистре A, вычитаемое в ячейке памяти с адресом 100,

разность в регистре X.

2. Уменьшаемое – в ячейке памяти с адресом 100, вычитаемое в регистре X, разность в регистре A.

3. Уменьшаемое – в регистре A, вычитаемое – число 100, разность в регистре A.

4. Уменьшаемое – в регистре A, вычитаемое в регистре X, разность в ячейке памяти с адресом 100.

26. Укажите количество выполняемых циклов и адрес начала цикла при выполнении микроконтроллером семейства 68HC08 команды организации цикла DBNZ100, -100

1. Количество циклов 100, адрес начала цикла – 100.

2. Количество циклов 100, адрес начала цикла – (PC)+100.

3. Количество циклов определяется содержимым ячейки памяти с адресом 100, адрес начала цикла (PC)-100.

4. Количество циклов определяется содержимым регистра A, адрес начала цикла (H:X)-100.

27. Укажите размещение операнда и результата при выполнении микроконтроллером семейства 68HC08 команды арифметического сдвига вправо ASR 100, X.

1. Операнд выбирается из ячейки памяти с адресом 100, старший бит заполняется 0, младший выдвигаемый бит сохраняется в качестве признакаZ, результат размещается в регистре X.

2. Операнд выбирается из регистра A, старший бит сохраняется, младший выдвигаемый бит сохраняется в качестве признакаV, результат размещается в ячейке памяти с адресом (H:X)+100.

3. Операндом является число 100, старший бит заполняется 0, младший выдвигаемый бит сохраняется в качестве признакаC, результат размещается в регистре X.

4. Операнд выбирается из ячейки памяти с адресом (H:X)+100, старший бит сохраняется, младший выдвигаемый бит сохраняется в качестве признакаC, результат размещается в ячейке памяти с адресом (H:X)+100.

28. Укажите размещение операндов и результата при выполнении микроконтроллером семейства 68HC08 команды деления DIV.

1. Делимое размещается в регистре A, делитель в регистре X, частное сохраняется в регистре A.

2. Делимое размещается в регистре X, делитель в регистре A, частное сохраняется в регистре A, остаток в регистре X.

3. Делимое размещается в регистрах H:A, делитель в регистре X, частное сохраняется в регистре A, остаток в регистре H.

4. Делимое размещается в регистрах A:X, делитель в регистре H, частное сохраняется в регистре A, остаток в регистре X.

29. Укажите условие и адрес перехода при выполнении микроконтроллером семей-

ства 68HC08 команды ветвления BRSET 2, 5, 100.

1. Условием является единичное значение бита с номером 5 в ячейке памяти с адресом $(X)+2$, переход к команде, хранящейся в ячейке с адресом 100.

2. Условием является нулевое значение бита с номером 2 в ячейке памяти с адресом 5, переход к команде, хранящейся в ячейке с адресом 100.

3. Условием является нулевое значение бита с номером 5 в ячейке памяти с адресом 100, переход к команде, хранящейся в ячейке с адресом $(PC)+2$.

4. Условием является единичное значение бита с номером 2 в ячейке памяти с адресом 5, переход к команде, хранящейся в ячейке с адресом $(PC)+100$.

30. Укажите правильный вариант выполнения микроконтроллером семейства 68HC08 команды вызова подпрограммы JSR 10, X.

1. Сохранение текущего содержимого PC в регистре X, загрузка в PC числа 10.

2. Сохранение текущего содержимого регистра состояния SR в стеке, загрузка в PC числа 10.

3. Сохранение текущего содержимого PC в стеке, загрузка в PC содержимого ячейки памяти с адресом $(H:X)+10$.

4. Сохранение текущего содержимого аккумулятора A в регистре X, загрузка в PC числа $(PC)+10$.

31. Укажите правильный вариант выполнения микроконтроллером семейства 68HC08 команды безусловного перехода JMP 100.

1. Сохранение текущего содержимого PC в стеке, загрузка в PC числа 100.

2. Загрузка в PC содержимого ячейки памяти с адресом 100.

3. Сохранение текущего содержимого регистра состояния SR в стеке, загрузка в PC числа $(PC)+100$.

4. Сохранение текущего содержимого аккумулятора A в стеке, загрузка в PC числа $(PC)+100$.

32. Укажите правильный вариант выполнения микроконтроллером семейства 68HC08 процедуры обслуживания внешнего запроса прерывания:

1. Сохранение текущего содержимого регистра PC в стеке, загрузка в PC вектора прерывания из таблицы прерываний.

2. Сохранение текущего содержимого регистров PC, SR, A, X в стеке, загрузка в PC вектора прерывания из таблицы прерываний.

3. Сохранение текущего содержимого регистров PC, SR, A, X в стеке, установка в регистре SR значения бита $I=1$, загрузка в PC вектора прерывания из таблицы прерываний.

4. Сохранение текущего содержимого регистра PC, загрузка в PC числа $(PC)+D$, где значение D задается в таблице векторов прерывания.

2.1.2. Вопросы тестового задания №2 (Т2)

1. Какие регистры входят в состав регистровой модели пользователя микропроцессора с архитектурой IA-32:

1. Регистры управления.
2. Сегментные регистры.
3. Регистры общего назначения.
4. Указатель команд и регистр флагов.

2. Что содержат сегментные регистры микропроцессора с архитектурой IA-32 при его работе в защищенном режиме:

1. Начальные адреса сегментов.
2. Селекторы для выбора дескрипторов сегментов.
3. Адреса команд и данных, выбираемых из данного сегмента.
4. Атрибуты выбираемых сегментов.

3. Что содержат селекторы, располагаемые в сегментных регистрах микропроцессора с архитектурой IA-32 при его работе в защищенном режиме:

1. Уровень привилегии запроса.
2. Индекс, определяющий расположение дескриптора сегмента в таблице.
3. Адрес размещения дескриптора в ОЗУ.
4. Тип используемой в запросе таблицы дескрипторов.

4. Что содержат дескрипторы сегментов, используемые при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. Указатели страниц, входящих в состав сегмента.
2. Начальный адрес сегмента.
3. Атрибуты сегмента.
4. Размер сегмента.

5. Укажите правильный вариант формирования адреса команды при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. Адрес команды задается содержимым регистра EIP.
2. Адрес команды задается суммой содержимого регистров EIP и CS.
3. Адрес команды задается суммой базового адреса, заданного в дескрипторе, который выбирается из таблицы дескрипторов с помощью селектора, расположенного в регистре CS, и содержимого регистра EIP.
4. Адрес команды задается суммой базового адреса, заданного в дескрипторе, который выбирается из таблицы дескрипторов с помощью селектора, расположенного в регистре CS, содержимого регистра EIP и указанного в команде регистра общего назначения (EAX, EBX или другие).

6. Укажите правильный вариант формирования адреса операнда при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. Адрес операнда задается содержимым регистра, указанного в команде.
2. Адрес операнда задается суммой содержимого регистра, указанного в команде, и

смещения, значение которого задано в команде.

3. Адрес операнда задается суммой базового адреса, заданного в дескрипторе, который выбирается из таблицы дескрипторов с помощью селектора, расположенного в указанном в команде сегментным регистре, и относительного адреса, хранящегося в регистре EIP.

4. Адрес операнда задается суммой базового адреса, заданного в дескрипторе, который выбирается из таблицы дескрипторов с помощью селектора, расположенного в указанном в команде сегментным регистре, и относительного адреса, формируемого в соответствии с заданным в команде способом адресации.

7. Укажите разрешенные правила обращения к сегментам данных при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. $DPL \geq RPL$.
2. $DPL \geq \max(CPL, RPL)$.
3. $CPL \geq \max(DPL, RPL)$.
4. $RPL < CPL$.

8. Укажите разрешенные правила обращения к сегментам стека при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. $DPL \leq RPL$.
2. $CPL \leq \max(DPL, RPL)$.
3. $CPL = DPL = RPL$.
4. $RPL > CPL$.

9. Укажите разрешенные правила обращения к подчиненным сегментам команд при работе микропроцессора с архитектурой IA-32 в защищенном режиме:

1. $DPL \geq RPL$.
2. $CPL \geq \max(DPL, RPL)$.
3. $RPL > CPL$.
4. $CPL \geq DPL$.

10. Укажите правильный вариант выполнения микропроцессором с архитектурой IA-32 процедуры обслуживания прерывания:

1. Сохранение текущего содержимого регистра EIP в стеке, загрузка в EIP вектора прерывания, который размещен по фиксированному адресу в таблице прерываний, расположенной в ОЗУ.

2. Сохранение текущего содержимого регистров EIP, EFLAGS в стеке, загрузка в EIP вектора прерывания из ячейки ОЗУ, адрес которой указан в регистре IDTR.

3. Сохранение текущего содержимого регистров CS, EIP, EFLAGS в стеке, загрузка в CS, EIP вектора прерывания из размещенной в ОЗУ таблицы векторов прерываний, базовый адрес которой задает содержимое регистра IDTR, а положение вектора в таблице определяется причиной прерывания.

4. Сохранение текущего содержимого регистров CS, EIP в стеке, загрузка в CS, EIP вектора прерывания из размещенной в ОЗУ таблицы векторов прерываний, базовый адрес которой задает содержимое регистра IDTR, а положение вектора в таблице определяется селектором регистра SS.

11. Укажите правильный формат команды пересылки: `MOV FS:[EBP+800], ECX`

1. Байт кода операции, байт адресации, байт смещения.
2. Префиксный байт, байт кода операции, байт адресации, два байта смещения.
3. Префиксный байт, байт кода операции, два байта адресации, байт смещения.
4. Байт кода операции, два байта адресации, два байта смещения.

12. Укажите правильный формат команды сложения: `ADC EBX, DS:[EBP+ESI*8+100]`

1. Байт кода операции, байт адресации, два байта смещения.
2. Префиксный байт, байт кода операции, два байта адресации, два байта смещения.
3. Префиксный байт, байт кода операции, два байта адресации, байт смещения.
4. Байт кода операции, два байта адресации, байт смещения.

13. Укажите правильный формат команды Логического ИЛИ: `OR ES:[EBP+ESI], ESI`

1. Байт кода операции, два байта адресации, байт смещения.
2. Префиксный байт, байт кода операции, байт адресации, байт смещения.
3. Префиксный байт, байт кода операции, два байта адресации,.
4. Байт кода операции, байт адресации.

14. Укажите правильный формат команды сравнения: `CMPL DS:[ECX+1000], 1000`

1. Байт кода операции, байт адресации, два байта смещения, два байта непосредственного операнда.
2. Префиксный байт, байт кода операции, байт адресации, байт смещения.
3. Байт кода операции, байт адресации, байт смещения, байт непосредственного операнда.
4. Байт кода операции, два байта адресации, байт непосредственного операнда.

15. Укажите правильный формат команды безусловного перехода `JMPFAR GS:[EBX+EDI+1000]`

1. Байт кода операции, байт адресации, два байта смещения.
2. Префиксный байт, байт кода операции, байт адресации, байт смещения.
3. Байт кода операции, два байта адресации, два байта смещения.
4. Префиксный байт, байт кода операции, два байта адресации, два байта смещения.

16. Укажите правильный вариант выполнения микропроцессором с архитектурой IA-32 команды организации циклов `LOOPNE` -100

1. Сохранение текущего содержимого EIP в регистре X, загрузка в EIP числа (PC)-

100.

2. Декремент содержимого регистра ECX, загрузка в EIP числа 100, если (ECX)-1 = 0.

3. Декремент содержимого регистра EAX, загрузка в EIP числа (PC)-100, если (EAX)-1 = 0.

4. Декремент содержимого регистра ECX, загрузка в EIP числа (PC)-100, если (ECX)-1 = 0.

2.1.3. Задания для контрольной работы №1 (КР1)

Вариант 1.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: PSHA

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: JMP 300, X

Вариант 2.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: LDA 100, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: JSR \$8000

Вариант 3.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: STA \$0000

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BEQ 100

Вариант 4.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: PULX

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: RTS

Вариант 5.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: INC \$0001

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: CBEQX #10, 10

Вариант 6.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: ADC \$000F

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: DBNZ 10, -10

Вариант 7.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: SBC 300, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BRCLR 5, 5, 5

Вариант 8.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: COM 500, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BNE -100

Вариант 9.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ,

блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: ASR \$0100

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BSR \$10

Вариант 10.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: DEC \$100, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: JMP\$0100

Вариант 11.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: EOR 300, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: CBEQ100, 100

Вариант 12.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: ROL 300, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BRSET 2, 2, 2

Вариант 13.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: BCLR 3, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BPL 100

Вариант 14.

1. Описать последовательность действий основных устройств процессора,

входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: OR \$00FF

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: SWI

Вариант 15.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: CLR \$0100

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: RTI

Вариант 16.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: LSL \$0200

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: CBEQ 10, X, 10

Вариант 17.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: AND 100

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: DBNZ 100, X, -100

Вариант 18.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: DIV

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BMI 100

Вариант 19.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: PULA

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: JSR300, X

Вариант 20.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: ROR 1000, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: DBNZ100, -100

Вариант 21.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: MUL

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: SWI

Вариант 22.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: LSR 1000, X

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: BLO 100

Вариант 23.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: MOV #10, 10

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних

шинах адреса и данных при выполнении команды: BIL \$FF

Вариант 24.

1. Описать последовательность действий основных устройств процессора, входящего в состав микроконтроллера 68HC08GP32 (устройства управления, АЛУ, блока формирования адреса операндов), изменение содержимого используемых регистров A, X, H, PC, SP, CCR при выполнении команды: PSHX

2. Указать число и содержание байтов команды, последовательность и типы выполняемых циклов обращения к памяти, содержание информации на внутренних шинах адреса и данных при выполнении команды: CBEQA #5, 5

2.1.4. Задания для контрольной работы №2 (КР2)

Для микропроцессоров с архитектурой IA-32:

1. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
MOV FS:[EBP+800], ECX
REP STOSB
```

2. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
MOV DS:[20000], 1000
REP OUTSW
```

3. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
PUSH 10000
REPE SCASW
```

4. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
POP ES:[EBP+ESI]
JMP NEAR 100000
```

5. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
IN    EAX, DX
JMP FAR    ES:[EDI+ESI]
```

6. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
OUT    200, EAX
JMPFAR    1000, 1000
```

7. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
ADC    EBX, DS:[EBP+ESI*8+100]
CALL NEAR 200
```

8. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
SUB    GS:[EDX+10000], EBX
CALL FAR    FS:[5000000]
```

9. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
.      CMP    DS:[EBP+ESI+1000], EAX
      CALL FAR    100, 1000
```

10. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
IMUL EAX, ES:[EDX+ESI]
JZ     1000
```

11. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
IMUL EBX, 1000
JNE    50
```

12. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
IDIV EAX, ES:[EDX+50]
JNS 1000
```

13. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
INC FS:[EBP+EDI*4+1000]
LOOP -50
```

14. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
AND DS:[EBX+10], ECX
LOOPNE -100
```

15. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
OR ES:[EBP+ESI], ESI
INTO
```

16. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
XOR EAX, DS:[ECX+EDI]
INT3
```

17. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
SAR ES:[EDX+EBP+1000]
INT 120
```

18. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
SHL DS:[EAX+EBX], 10
REPNE SCASB
```

19. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
ROR FS:[EBX+EDX+10], CL  
CALL FAR ES:[EBX+ECX]
```

20. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
CMP DS:[ECX+1000], 1000  
JMP FAR 100.1000
```

21. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
BTS DS:[EAX+ECX+10], 10  
REP INS
```

22. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
BTC ES:[EBX+100000], ECX  
CALL FAR ES:[EBP+2000]
```

23. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
BTR FS:[100000], EAX  
INT 50
```

24. Опишите выполняемую операцию, состав и назначение байтов (формат команды), формирование адреса команды и операндов в защищенном режиме для заданных команд.

```
RCL DS:[EBP+EBX+100], EBX  
IRET
```

2.2 ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ РУБЕЖНОГО КОНТРОЛЯ

Баллы текущего итогового контроля КИ-8, КИ-15 по каждому из разделов 1 и 2 дисциплины образуются путем суммирования баллов, полученных за выполнение соответствующих тестовых (Т1, Т2) и контрольных (КР1, КР2) заданий. Максимальная сумма баллов итогового контроля для каждого из разделов составляет 25 баллов, минимальная

сумма баллов, необходимая для аттестации по каждому из разделов составляет 15 баллов.

2.3 ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ

2.3.1 ВОПРОСЫ К ЭКЗАМЕНУ

1. Структура и основные режимы функционирования микропроцессорных систем: выполнение основной программы, вызов подпрограммы, обслуживание прерываний, реализация прямого доступа к памяти.
2. Структура и функционирование операционного устройства микропроцессора. Формирование основных признаков результата.
3. Структура и функционирование устройства управления с аппаратной реализацией последовательности микрокоманд.
4. Структура и функционирование устройства управления с микропрограммной реализацией последовательности микрокоманд.
5. Реализация в микропроцессорных системах оперативного и постоянного ЗУ на базе серийных микросхем памяти. Организация и использование стековой памяти.
6. Структура 8-разрядных микроконтроллеров семейства HC08. Назначение основных функциональных модулей. Карта памяти. Реализация прерываний.
7. Регистровая модель процессора и способы адресации для микроконтроллеров семейства HC08.
8. Структура и функционирование параллельных портов в микроконтроллерах семейства HC08. Реализация ввода-вывода данных через параллельные порты. Контроль выполнения программы с помощью сторожевого таймера.
9. Реализация асинхронного последовательного обмена данными в микроконтроллерах семейства HC08с помощью коммуникационного интерфейса SCI.
10. Реализация синхронного последовательного обмена данными в микроконтроллерах семейства HC08с помощью периферийного интерфейса SPI.
11. Функционирование таймерного модуля в микроконтроллерах семейства HC08. Использование модуля для реализации типовых функций: измерение длительности и периода импульсов, формирование управляющих сигналов, генерация импульсов.
12. Функционирование модуля АЦП в микроконтроллерах семейства HC08.
13. Система команд микроконтроллеров семейства HC08: команды пересылки и обработки данных.
14. Система команд микроконтроллеров семейства HC08: команды управления программой.
15. Регистровая модель пользователя микропроцессоровс архитектуройIA-32. Назначение регистров. Содержимое регистра EFLAGS. Реализация сегментной адресации.
16. Типовой формат команд и способы адресации в микропроцессорах с архитектуройIA-32 .

17. Система команд микропроцессоров с архитектурой IA-32: пересылка данных, ввод-вывод, работа со стеком, сдвиги.
18. Система команд микропроцессоров с архитектурой IA-32: арифметико-логические операции, сравнение, команды битовых операций.
19. Система команд микропроцессоров с архитектурой IA-32: команды безусловных переходов и вызова подпрограммы.
20. Система команд микропроцессоров с архитектурой IA-32: команды условных переходов и организации циклов, изменения признаков.
21. Система команд микропроцессоров с архитектурой IA-32: операции со строками символов. Адресация операндов при выполнении операций со строками.
22. Реализация прерываний в микропроцессорах с архитектурой IA-32. Программные прерывания, исключения и обработка внешних запросов.
23. Сегментная адресация памяти в микропроцессорах с архитектурой IA-32 в защищенном режиме. Формирование адреса команды и операнда. Назначение и функционирование сегментных регистров и регистров системных адресов GDTR, LDTR. Селекторы и дескрипторы сегментов, их использование при обращении к памяти.
24. Реализация защиты памяти в микропроцессорах с архитектурой IA-32: контроль границы сегментов, ограничение доступа с помощью атрибутов сегмента, контроль уровня привилегий. Правила обращения к сегментам данных, команд и стека в соответствии с уровнями привилегий и защиты.
25. Страничная организация памяти в микропроцессорах с архитектурой IA-32 в защищенном режиме. Адресация и защита страниц.
26. Реализация и функционирование внутренней кэш-памяти. Используемые механизмы замены строк и обеспечения когерентности содержимого кэш-памяти и ОЗУ.
27. Поддержка многозадачного режима функционирования в микропроцессорах с архитектурой IA-32.
28. Архитектурные особенности современных высокопроизводительных микропроцессоров: конвейерное выполнение команд, предсказание ветвлений, суперскалярная структура, изменение последовательности команд, гарвардская архитектура.

2.3.2 ЭКЗАМЕНАЦИОННЫЕ БИЛЕТЫ

Билет №1

1. Структура и основные режимы функционирования микропроцессорных систем: выполнение основной программы, вызов подпрограммы, обслуживание прерываний, реализация прямого доступа к памяти.
29. Регистровая модель пользователя микропроцессоров с архитектурой IA-32. Назначение регистров. Содержимое регистра EFLAGS. Реализация сегментной адресации.

Билет №2

1. Структура и функционирование операционного устройства микропроцессора. Формирование основных признаков результата.

2. Типовой формат команд и способы адресации в микропроцессорах с архитектурой IA-32.

Билет №3

1. Структура и функционирование устройства управления с аппаратной реализацией последовательности микрокоманд.
2. Система команд микропроцессоров с архитектурой IA-32: пересылка данных, ввод-вывод, работа со стеком, сдвиги.

Билет №4

1. Структура и функционирование устройства управления с микропрограммной реализацией последовательности микрокоманд.
2. Система команд микропроцессоров с архитектурой IA-32: арифметико-логические операции, сравнение, команды битовых операций.

Билет №5

1. Реализация в микропроцессорных системах оперативного и постоянного ЗУ на базе серийных микросхем памяти. Организация и использование стековой памяти.
2. Система команд микропроцессоров с архитектурой IA-32: команды безусловных переходов и вызова подпрограммы.

Билет №6

1. Структура 8-разрядных микроконтроллеров семейства HC08. Назначение основных функциональных модулей. Карта памяти. Реализация прерываний.
2. Система команд микропроцессоров с архитектурой IA-32: команды условных переходов и организации циклов, изменения признаков.

Билет №7

1. Регистровая модель процессора и способы адресации для микроконтроллеров семейства HC08.
2. Система команд микропроцессоров с архитектурой IA-32: операции со строками символов. Адресация операндов при выполнении операций со строками символов.

Билет №8

1. Структура и функционирование параллельных портов в микроконтроллерах семейства HC08. Реализация ввода-вывода данных через параллельные порты. Контроль выполнения программы с помощью сторожевого таймера.
2. Реализация прерываний в микропроцессорах с архитектурой IA-32. Программные прерывания, исключения и обработка внешних запросов.

Билет №9

1. Реализация асинхронного последовательного обмена данными в микроконтроллерах семейства HC08с помощью коммуникационного интерфейса SCI.
2. Сегментная адресация памяти в микропроцессорах с архитектурой IA-32 в защищенном режиме. Формирование адреса команды и операнда. Назначение и функционирование сегментных регистров и регистров системных адресов GDTR, LDTR. Селекторы и дескрипторы сегментов команд, данных и стека, их использование при обращении к памяти.

Билет №10

1. Реализация синхронного последовательного обмена данными в микроконтроллерах семейства HC08с помощью периферийного интерфейса SPI.
2. Реализация защиты памяти в микропроцессорах с архитектурой IA-32: контроль границы сегментов, ограничение доступа с помощью атрибутов сегмента, контроль уровня привилегий. Правила обращения к сегментам данных, команд и стека в соответствии с уровнями привилегий и защиты.

Билет №11

1.Функционирование таймерного модуля в микроконтроллерах семейства HC08. Использование модуля для реализации типовых функций: измерение длительности и периода импульсов, формирование управляющих сигналов, генерация импульсов.

2. Страничная организация памяти в микропроцессорах с архитектурой IA-32 в защищенном режиме. Адресация и защита страниц.

Билет №12

1. Функционирование модуля АЦП в микроконтроллерах семейства HC08.
2. Реализация и функционирование внутренней кэш-памяти. Обеспечение режима сквозной и обратной записи.

Билет №13

1.Система команд микроконтроллеров семейства HC08: команды пересылки и обработки данных.

2. Архитектурные особенности современных высокопроизводительных микропроцессоров: конвейерное выполнение команд, предсказание ветвлений, суперскалярная структура, изменение последовательности команд, гарвардская архитектура.

Билет №14

1. Система команд микроконтроллеров семейства HC08: команды управления программой.

2. Поддержка многозадачного режима функционирования в микропроцессорах архитектурой IA-32.