

Оценочные средства для проведения промежуточной аттестации обучающихся по дисциплине «Программируемые логические интегральные схемы»

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур проверки), предназначенных для оценки качества освоения обучающимися данной дисциплины как части ОПОП.

Цель – оценить соответствие знаний, умений и владений, приобретенных обучающимся в процессе изучения дисциплины, целям и требованиям ОПОП.

Промежуточная аттестация проводится в форме зачета. Форма проведения зачета – опрос по теоретическим вопросам. Выполнение лабораторных и практических работ является обязательным условием для допуска к зачету.

ОПИСАНИЕ ПОКАЗАТЕЛЕЙ И КРИТЕРИЕВ ОЦЕНИВАНИЯ КОМПЕТЕНЦИЙ

- 1) Уровень усвоения материала, предусмотренного программой.
- 2) Умение анализировать материал, устанавливать причинно-следственные связи.
- 3) Ответы на вопросы: полнота, аргументированность, убежденность, умение.
- 4) Качество ответа (его общая композиция, логичность, убежденность, общая эрудиция).
- 5) Использование дополнительной литературы при подготовке ответов.

Уровень освоения компетенций, формируемых дисциплиной:

Шкала оценивания	Критерий
Оценка «зачтено»	Выставляется студенту, который прочно усвоил предусмотренный программный материал; правильно, аргументировано ответил на все вопросы, с приведением примеров; показал глубокие систематизированные знания, владеет приемами рассуждения и сопоставляет материал из разных источников: теорию связывает с практикой, другими темами данного курса, других изучаемых предметов; без ошибок выполнил практическое задание. Обязательным условием выставленной оценки является правильная речь в быстром или умеренном темпе. Дополнительным условием получения оценки «зачтено» могут стать хорошие успехи при выполнении самостоятельной и контрольной работы, систематическая активная работа на практических занятиях.
Оценка «не зачтено»	Выставляется студенту, который не справился с 50% вопросов и заданий билета, в ответах на другие вопросы допустил существенные ошибки. Не может ответить на дополнительные вопросы, предложенные преподавателем. Целостного представления о взаимосвязях, компонентах, этапах развития культуры у студента нет. Оценивается качество устной и письменной речи, как и при выставлении положительной оценки.

ТИПОВЫЕ КОНТРОЛЬНЫЕ ЗАДАНИЯ ИЛИ ИНЫЕ МАТЕРИАЛЫ

4.1. Промежуточная аттестация

Коды компетенций	Результаты освоения ОПОП Содержание компетенций
УК-3	Способен организовывать и руководить работой команды, вырабатывая командную стратегию для достижения поставленной цели

а) типовые вопросы:

1. Структура и принцип функционирования ЭВМ.
2. Основные технические характеристики ЭВМ.
3. Принцип программного управления ЭВМ.
4. Арифметические основы ЭВМ.
5. Системы счисления, применяемые в ЭВМ.
6. Формы представления чисел в ЭВМ.
7. Способы кодирования двоичных чисел.
8. Логические основы ЭВМ.
9. Основные понятия алгебры логики.
10. Элементарные логические функции. Законы алгебры логики.
11. Определение логического сигнала. Уровни представления сигнала в цифровых устройствах.
12. Основные логические функции и логические элементы.
13. Архитектура микропроцессорных систем: с общей шиной данных и команд (принстонская, фон-неймановская) и с отдельными шинами данных и команд (гарвардская).
14. Типы микропроцессорных систем: ПЛИС, микроконтроллеры, контроллеры, микрокомпьютеры, компьютеры.
15. Три класса микроконтроллеров. Отличительные признаки 8-разрядных микроконтроллеров.
16. Модульная организация микроконтроллера. Процессорное ядро микроконтроллера.
17. Архитектуры микропроцессорных систем. Система команд микроконтроллера.
18. Синхронизация микроконтроллера. Память программ. Память данных. Регистры. Стек. Внешняя память. Порты ввода-вывода. Таймеры. Прерывания.
19. Режимы работы микроконтроллера: активный, ожидания, останов. Аппаратные средства обеспечения надежной работы микроконтроллера. Дополнительные модули ввода-вывода.
20. Цифровые автоматы. Определение цифрового автомата. Основные свойства цифровых автоматов.
21. Автоматы как язык описания законов взаимодействия сложных систем. Общая теория конечных цифровых автоматов с памятью.
22. Синтез цифровых автоматов.
23. Персональный компьютер как основа для построения контрольно-измерительных, управляющих, вычислительных и информационных систем.
24. Архитектура персонального компьютера: центральный процессор, память (оперативная и постоянная), контроллер прерываний, контроллер прямого доступа к памяти, часы реального времени, таймер-счетчик, устройства ввода-вывода, платы расширения.
25. Системная шина ISA.
26. Внешние интерфейсы персонального компьютера.
27. Интерфейс Centronics.
28. Интерфейс RS-232C.
29. Интерфейс USB.
30. Интерфейс FireWire.
31. Интерфейс IrDA.
32. Интерфейс Bluetooth.
33. Интерфейс Wi-Fi.
34. Интерфейс LAN.
35. Промышленные интерфейсы RS-485, RS-232, RS-422, Ethernet, CAN, HART.
36. Проект на Verilog. Основные составляющие любого проекта (директивы, модули, комментарии и т.д.). Пример проекта с пояснениями.
37. Проект на Verilog. Объявление модуля.
38. Проект на Verilog. Логика в Verilog.
39. Порты, провода и регистры в Verilog.
40. Модульные конструкции в Verilog (создание модулей, модуль верхнего уровня, базовый

- модуль). Пример модульной конструкции.
41. Циклы в Verilog. Описание экземпляров.
 42. Основная задача языков описания аппаратуры. Задачи языка VHDL.
 43. Программируемая логика. Структура микросхем FPGA.
 44. Программируемая логика. Структура секции КЛБ.
 45. Абстрактный автомат. Способы задания абстрактного автомата.
 46. Абстрактный автомат. Автомат Мили.
 47. Абстрактный автомат. Автомат Мура.
 48. Структурный автомат. Структурный синтез автомата (КС и память).
 49. Понятие переключательной функции. Способ представления переключательной функции.
 50. Основные конструкции языка VHDL.
 51. Элементы языка VHDL.
 52. VHDL. Типы данных.
 53. Последовательные операторы языка VHDL. Операторы присваивания.
 54. Последовательные операторы языка VHDL. Операторы IF и CASE.
 55. Последовательные операторы языка VHDL. Операторы NEXT и ASSERT.
 56. Последовательные операторы языка VHDL. Операторы NULL и WAIT.
 57. Параллельные операторы. Оператор PROCESS.
 58. Параллельные операторы. Оператор параллельного вызова процедуры.
 59. Параллельные операторы. Оператор условного назначения сигнала.
 60. Параллельные операторы. Оператор выборочного назначения сигнала.
 61. Параллельные операторы. Оператор конкретизации компонента.
 62. Параллельные операторы. Позиционное сопоставление и ключевое соответствие.
 63. Параллельные операторы. Оператор GENERATE.
 64. Параллельные операторы. Способы употребления оператора генерации.
- Параллельные операторы. Оператор BLOCK.

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

ПОДПИСАНО

ФГБОУ ВО "РГРТУ", РГРТУ, Круглов Сергей Александрович,
Заведующий кафедрой ПЭЛ

20.08.25 18:57 (MSK)

Простая подпись