

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

Кафедра «Электронные вычислительные машины»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

«Проектирование специализированных цифровых устройств»

Направление подготовки

09.03.01 Информатика и вычислительная техника

Направленность (профиль) подготовки

Программно-аппаратное обеспечение вычислительных комплексов и систем искусственного
интеллекта

Квалификация (степень) выпускника — бакалавр

Форма обучения — очная, заочная

1. ОБЩИЕ ПОЛОЖЕНИЯ

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям ОПОП.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций.

Контроль знаний обучающихся проводится в форме промежуточной аттестации.

Промежуточный контроль по дисциплине осуществляется проведением экзамена.

2. ОПИСАНИЕ ПОКАЗАТЕЛЕЙ И КРИТЕРИЕВ ОЦЕНИВАНИЯ КОМПЕТЕНЦИЙ

Сформированность каждой компетенции в рамках освоения данной дисциплины оценивается по трехуровневой шкале:

1) пороговый уровень является обязательным для всех обучающихся по завершении освоения дисциплины;

2) продвинутый уровень характеризуется превышением минимальных характеристик сформированности компетенций по завершении освоения дисциплины;

3) эталонный уровень характеризуется максимально возможной выраженностью компетенций и является важным качественным ориентиром для самосовершенствования.

Уровень освоения компетенций, формируемых дисциплиной:

а) описание критериев и шкалы оценивания тестирования:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 85 до 100%
2 балла (продвинутый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 75 до 84%
1 балл (пороговый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 60 до 74%
0 баллов	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 0 до 59%

б) описание критериев и шкалы оценивания теоретического вопроса:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	выставляется студенту, который дал полный ответ на вопрос, показал глубокие систематизированные знания, смог привести примеры, ответил на дополнительные вопросы преподавателя.
2 балла (продвинутый уровень)	выставляется студенту, который дал полный ответ на вопрос, но на некоторые дополнительные вопросы преподавателя ответил только с помощью наводящих вопросов.
1 балл (пороговый уровень)	выставляется студенту, который дал неполный ответ на вопрос в билете и смог ответить на дополнительные вопросы только с помощью преподавателя.
0 баллов	выставляется студенту, который не смог ответить на вопрос

в) описание критериев и шкалы оценивания практического задания:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	Задача решена верно
2 балла (продвинутый уровень)	Задача решена верно, но имеются технические неточности в расчетах
1 балл (пороговый уровень)	Задача решена верно, с дополнительными наводящими вопросами преподавателя
0 баллов	Задача не решена

На экзамен выносятся: тестовое задание, 1 практическое задание и 1 теоретический вопрос. Студент может набрать максимум 9 баллов. Итоговый суммарный балл студента, полученный при прохождении промежуточной аттестации, переводится в традиционную форму по системе «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Шкала оценивания	Критерий	
отлично (эталонный уровень)	8 – 9 баллов	Обязательным условием является выполнение всех предусмотренных в течение семестра заданий
хорошо (продвинутый уровень)	6 – 7 баллов	
удовлетворительно (пороговый уровень)	4 – 5 баллов	
неудовлетворительно	0 – 3 баллов	Студент не выполнил всех предусмотренных в течение семестра текущих заданий

3. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)

№ п/п	Контролируемые разделы (темы) дисциплины (результаты по разделам)	Код контролируемой компетенции (или её части)	Наименование оценочного мероприятия
1	2	3	4
1	Тема 1. Арифметические и логические основы цифровых устройств	ПК-5.1, ПК-5.2	Экзамен
2	Тема 2. Элементная база цифровых вычислительных устройств	ПК-5.1, ПК-5.2	Экзамен
3	Тема 3. Синтез и анализ логических устройств комбинационного типа	ПК-5.1, ПК-5.2	Экзамен
4	Тема 4. Синтез и анализ устройств с элементами памяти	ПК-5.1, ПК-5.2	Экзамен
	Тема 5. Синтез и анализ цифровых автоматов	ПК-5.1, ПК-5.2	Экзамен
	Тема 6. Проектирование устройств цифровой обработки информации на базе ПЛИС	ПК-5.1, ПК-5.2	Экзамен
	Тема 7. Проектирование микропроцессорных систем на основе ПЛИС	ПК-5.1, ПК-5.2	Экзамен

4. ТИПОВЫЕ КОНТРОЛЬНЫЕ ЗАДАНИЯ ИЛИ ИНЫЕ МАТЕРИАЛЫ

4.1. Промежуточная аттестация (экзамен)

ПК-5: Способен осуществлять программно-аппаратную реализацию алгоритмов цифровой обработки информации
ПК-5.1. Проектирует и реализует программно-аппаратное описание алгоритмов цифровой обработки информации
Знать основные комбинационные схемы и схемы памяти, используемые при проектировании цифровых устройств, а также основные принципы проектирования ЦУ
Уметь выполнять синтез элементов, входящих в состав цифровых устройств обработки информации
Владеть навыками анализа и отладки цифровых устройств в специализированных САПР
ПК-5.2. Выполняет аргументированный выбор программно-аппаратных средств реализации алгоритмов цифровой обработки информации
Знать основные способы описания аппаратуры
Уметь выполнять реализацию аппаратных устройств на базе ПЛИС с помощью графических и текстовых описаний аппаратуры
Владеть навыками проектирования устройств цифровой обработки информации с использованием среды программирования

а) типовые тестовые вопросы закрытого типа:

1. Устройство, обеспечивающее сложение двух двоичных цифр и учитывающее перенос с предыдущего разряда называется:

- а. сумматор**
- б. полусумматор
- в. мультиплексор
- г. дешифратор

2. Какой триггер имеет запрещенную входовую комбинацию сигналов

- а. D
- б. T
- в. JK
- г. RS**

3. Сравнение двух двоичных кодов выполняет:

- а. Дешифратор
- б. Шифратор
- в. Компаратор**
- г. инкрементор

4. Триггер обеспечивающий изменение своего состояния в зависимости от информационных входов при изменении синхросигнала?

- а. Асинхронный
- б. Динамический**
- в. Статический
- г. Счётный

5. Логическая схема без элементов памяти называется?

- а. цифровым автоматом
- б. регистром
- в. комбинационной схемой**
- г. конечным автоматом

6. К языкам Hardware Definition Language относится

- а. verilog**
- б. C++
- в. C
- г. assembler

7. Оператор @posedge -

- а. сохраняет значение в регистр
- б. коммутирует два сигнала
- в. перемножает два значения
- г. определяет что дальнейшая обработка ведется по фронту некоторого сигнала**

8. Кружок на входе или выходе логического элемента или символа схемы обозначает, что данный вход/выход

- а. синхронный
- б. статический
- в. инвертируется**
- г. динамический

9. Синтез импульсных модуляторов можно выполнить на базе

- а. счётчика**
- б. мультиплексора
- в. дешифратора
- г. компаратора

10. Модуль счёта 8 разрядного счетчика равен

- а. 8
- б. 256**
- в. 64
- г. 128

11 : Какие из следующих утверждений о проектировании конвейерного процессора для задач ИИ (например, для прямого прохода нейронной сети) являются верными?

- а) Конвейеризация увеличивает пропускную способность (throughput) устройства.
- б) Глубина конвейера напрямую определяет задержку (latency) обработки одного элемента данных.
- в) Дисбаланс задержек между стадиями конвейера (pipeline bubble) снижает общую эффективность.
- д) Для достижения максимальной производительности конвейер должен работать на частоте, определяемой самой быстрой его стадией.

Правильные ответы: а, в

Пояснение: б — неверно, конвейер увеличивает задержку на величину регистровых защёлок, но скрывает её за счёт параллелизма. д — неверно, частота определяется самой медленной стадией.

12: Какие из перечисленных архитектурных решений позволяют повысить эффективность работы с памятью в специализированном ускорителе для матричных умножений?

- а) Использование иерархической памяти (кэши, локальные буферы).
- б) Применение нескольких банков памяти для параллельного доступа к данным.
- в) Увеличение тактовой частоты ядра вычислений без изменения частоты памяти.
- д) Использование технологии Scratchpad Memory (SPM), управляемой программно.

Правильные ответы: а, б, д

Пояснение: в — неверно, это приведёт к увеличению времени ожидания данных от памяти ("wall of memory") и снизит эффективность, так как ядро будет простаивать.

13: При проектировании специализированного устройства для запуска нейронной сети на встроенной платформе с жесткими ограничениями по энергопотреблению и стоимости, какая архитектура может быть предпочтительнее?

- a) Многоядерный CPU общего назначения с поддержкой SIMD.
- b) GPU с высокой пиковой производительностью.
- c) Специализированный акселератор с фиксированной функциональностью (Hardwired Accelerator).
- d) Программируемая логика (FPGA) с мягким процессорным ядром.

Правильные ответы: c, d

14: Какие техники проектирования наиболее критичны для уменьшения объема и количества внешних доступов к памяти (DRAM) в специализированном ускорителе ИИ для встроенных систем?

- a) Использование иерархии on-chip памяти (регистровые файлы, локальные буферы).
- b) Применение аппаратного префетчера, предсказывающего шаблоны доступа для весов и данных.
- c) Увеличение размера кэша последнего уровня (LLC).
- d) Использование сжатия весовых коэффициентов (например, до 8 или 4 бит).

Правильные ответы: a, b, d

15: При подготовке данных для алгоритма линейной регрессии обнаружено, что распределение целевой переменной y имеет экспоненциальный характер. Какое математическое преобразование может помочь линейной модели лучше аппроксимировать зависимость?

- a) Нормализация всех признаков
- b) Логарифмирование целевой переменной: $y_{\text{new}} = \log(y)$
- c) Возведение всех признаков в квадрат
- d) Применение метода главных компонент (PCA) к признакам

Правильные ответы: b

16: Какие из перечисленных методов можно использовать для сокращения разрядности вещественных признаков перед подачей их на вход целочисленному классификатору на встроенной системе?

- a) Квантование с равномерным шагом (Uniform Quantization)
- b) Нормализация Min-Max
- c) Квантование с нелинейным преобразованием (логарифмическим, μ -law)
- d) Стандартизация (Standard Scaling)

Правильные ответы: a, c

17: При проектировании аппаратного ускорителя для матричного умножения, какие методы верификации являются наиболее критичными для обеспечения корректности функциональных характеристик?

- a) Создание эталонной C/C++ или Python модели и сравнение результатов на псевдослучайных тестовых векторах.
- b) Формальная верификация (Formal Verification) для доказательства отсутствия deadlock-ов в конечном автомате управления.
- c) Функциональное покрытие (Functional Coverage) всех возможных комбинаций входных данных.
- d) Использование Universal Verification Methodology (UVM) для создания масштабируемой тестовой среды.

Правильные ответы: a, b, d

18: Для верификации блока, принимающего поток данных через AXI4-Stream интерфейс, какие аспекты должны быть обязательно проверены?

- a) Корректная обработка различных комбинаций сигналов TVALID и TREADY.
- b) Способность обрабатывать "пузыри" в потоке (паузы в данных).
- c) Соответствие временных характеристик требованиям после place-and-route.
- d) Умение блока работать на максимально возможной тактовой частоте интерфейса.

Правильные ответы: a, b, c

19: Для обработки видеопотока на агенте используется конвейер: Захват кадра -> Детектирование объектов -> Планирование траектории. Как эффективно реализовать его на

многопоточном аппаратном ускорителе?

- а) Создать отдельные аппаратные потоки (hardware threads) для каждой стадии конвейера.
- б) Использовать общий пул потоков, где каждая задача обрабатывает очередной кадр целиком.
- в) Синхронизировать стадии через bounded (ограниченные) очереди для управления потоком данных.
- д) Использовать lock-free очереди для минимизации накладных расходов на синхронизацию.

Правильные ответы: а, в, д

20 Какие из перечисленных алгоритмов агента обладают внутренним параллелизмом, который можно выявить и реализовать на многопоточной аппаратной архитектуре?

- а) Монте-Карло локализация (анализ множества частиц).
- б) Построение карты Occupancy Grid (обработка множества лучей лидара).
- в) Декомпозиция глобальной цели на независимые подзадачи для группы агентов.
- д) Планирование траектории методом A* в одном агенте.

Правильные ответы: а, б, в

б) типовые тестовые вопросы открытого типа:

1. _____ — комбинационная схема, обеспечивающая выбор одной из информационных линий и её коммутацию на выход в зависимости от адресного сигнала.

Ответ: мультиплексор

2. Оператор языка verilog, который позволяет взаимодействовать с сигналами без использования элементов памяти - _____.

Ответ: assign

3. Записывать значения в регистр в языке verilog можно только в секции _____.

Ответ: always

4. Компаратор формирует _____, на основе комбинационных схем построенных на элементах not eor.

Ответ: признак равенства (E)

5. В многоразрядном сумматоре, одnorазрядные суммирующие схемы связаны последовательно выходом _____.

Ответ: переноса (p)

6. Разрядность информационных входов мультиплексора влияет на разрядность его _____ и не

влияет на линию _____:

Ответ: выхода, адреса

7. Наличие единиц на входах JK триггера, он соответствует состоянию _____

Ответ: инверсии

8. Элемент VCC на входе T триггера, обеспечивает смену состояния на _____ каждый такт синхросигнала, благодаря чему ему называют _____.

Ответ: противоположное, счётным

в) типовые практические задания:

Задание 1. Опишите 32 битный мультиплексор 4 в 1 на языке verilog.

Задание 2. Опишите 16 битный мультиплексор 8 в 1 на языке verilog

Задание 3. Опишите 8 битный мультиплексор 2 в 1 на языке verilog

Задание 4. Опишите АЛУ на языке Verilog, выполняющее операции +,-,&|, с формированием признаков результата С и N.

Задание 5. Опишите 8-разрядный счетчик с установкой начального значения отсчета и модуля счёта на языке verilog.

Типовые теоретические вопросы на экзамен по дисциплине (ОПК-3.1):

ВОПРОСЫ ПО ЦИФРОВОЙ ЧАСТИ

- 1) Базовые логические элементы, правила определения значений выходных сигналов, логические функции, аксиомы, таблицы истинности
- 2) Арифметические устройства: полусумматор и сумматор, ТИ, логические функции, схемы, описание на Verilog
- 3) Многоразрядный сумматор, инкрементор, схемы, описание на Verilog
- 4) Компаратор кодов, построение схемы компаратора, описание на Verilog
- 5) Матричный перемножитель
- 6) Дешифратор двоичного кода в единичный, синтез схемы, описание на Verilog
- 7) Преобразователь двоичного кода в код Грея и обратное преобразование, кодирующая маска для кода Грея
- 8) Мультиплексор, синтез схемы, описание на Verilog, мультиплексор для коммутации шин
- 9) Асинхронный триггер с установочными входами (ntrns). Физика работы, действие ПОС, ТИ, временные диаграммы
- 10) Синхронный rs-триггер (rcs), построение схемы, физика работы, временные диаграммы
- 11) Статический d-триггер, ТИ, работа схемы, временные диаграммы
- 12) Двухступенчатый динамический d-триггер, физика работы, описание на Verilog
- 13) Счетные триггеры и способы их построения, физика работы, временные диаграммы
- 14) Параллельный регистр, сдвигающий регистр, описание на Verilog
- 15) АЛУ аккумуляторного типа
- 16) Делители частоты с фиксированным коэффициентом деления (на 2ⁿ)
- 17) Управляемые делители частоты
- 18) Широтно-импульсный модулятор
- 19) Формирование заданной импульсной последовательности (приведите пример)

ВОПРОСЫ ПО СИНТЕЗУ УСТРОЙСТВ ИИ

- 1 стратегии тестирования многопоточного кода.
- 2 Основные проблемы при использовании статических переменных внутри функций в многопоточном окружении?
- 3 При портировании алгоритмов машинного обучения на встроенные системы с ограниченными ресурсами часто требуется снизить разрядность вычислений (например, с FP32 на INT8). Какие

проблемы многопоточности могут возникнуть при работе с квантованными данными, и как их решить?

4 Объясните, как спроектировать систему управления памятью для специализированного ИИ-акселератора, где несколько потоков обработки требуют одновременного доступа к весам нейросетевой модели и промежуточным активациям. Как минимизировать конфликты доступа к памяти?

5 При проектировании специализированного акселератора для свёрточных нейронных сетей на ПЛИС (FPGA) для маломощного встроенного устройства, какие архитектурные решения вы предложите для минимизации энергопотребления и доступа к внешней памяти? Обоснуйте свой выбор.

6 Опишите процесс разработки и верификации конечного автомата (FSM), управляющего работой ИИ-ускорителя. Какие методы (диаграммы состояний, формальная верификация, тестовые стенды) вы примените, чтобы гарантировать отсутствие deadlock'ов и livelock'ов в его работе?

7 Обоснуйте выбор классического алгоритма машинного обучения для системы обнаружения аномалий в телеметрии бортовой системы летательного аппарата.

8 Предложите математические преобразования для адаптации алгоритма k-ближайших соседей (k-NN) к работе в системе реального времени на ПЛИС.

9 Для кластеризации данных с датчиков IoT-устройства предлагается алгоритм k-средних. Как модифицировать алгоритм для работы в потоковом режиме и какие аппаратные ускорители целесообразно использовать?

10 Для детектирования объектов на изображении с камеры видеонаблюдения в режиме реального времени решено использовать каскадный классификатор Хаара. Опишите, как эффективно распараллелить вычисление признаков Хаара и организовать конвейер обработки каскада на гетерогенной платформе (CPU + FPGA).

11 Что важнее для маломощного устройства: точность алгоритма или скорость работы? Приведите пример из задачи классификации изображений.

12 "обучение модели" и "использование модели"? Где нужно больше вычислений?

13 "тактовый домен" и почему в системе с несколькими процессорами могут быть разные тактовые домены?

14 "двухстадийный синхронизатор" и как он решает проблему обмена между тактовыми доменами?

15 "общая память" в многопроцессорной системе и зачем она нужна агентам?

16 "baremetal код" и чем он отличается от программы на обычной операционной системе?

17 Почему для алгоритмов ИИ на маломощных устройствах часто используют baremetal подход?