

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«Рязанский государственный радиотехнический университет имени В.Ф. Уткина»**

**КАФЕДРА СИСТЕМ АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ
ВЫЧИСЛИТЕЛЬНЫХ СРЕДСТВ**

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

ФТД.О.03 «Синтез цифровых устройств на базе ПЛИС»

Направление подготовки

11.03.03 Конструирование и технология электронных средств

Квалификация (степень) выпускника — бакалавр

Форма обучения — очная

Рязань, 2023 г.

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме промежуточной аттестации. Промежуточный контроль по дисциплине осуществляется проведением теоретического зачета.

Форма проведения теоретического зачета – устный ответ по вопросам, сформулированным с учетом содержания учебной дисциплины и утвержденным на заседании кафедры. При подготовке к устному ответу обучаемый может составить в письменном виде план ответа, включающий в себя основные понятия и определения и т.п.

Паспорт фонда оценочных средств по дисциплине

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или её части)	Вид, метод, форма оценочного мероприятия
1	Теоретические основы синтеза логических схем	ОПК-4	зачет
2	Синтез схем по описаниям на языке VHDL	ОПК-4	зачет

Шкала оценки сформированности компетенций

Код компетенции	Результаты освоения ОПОП Содержание компетенций
ОПК-4	Способен понимать принципы работы современных информационных технологий и использовать их для решения задач профессиональной деятельности

В процессе оценки сформированности знаний, умений и навыков обучающегося по дисциплине, производимой на этапе промежуточной аттестации в форме теоретического зачета, используется оценочная шкала «зачтено – не зачтено»:

Оценка «зачтено» выставляется обучающемуся, который прочно усвоил предусмотренный программный материал; правильно, аргументировано ответил на все вопросы, с приведением примеров; показал глубокие систематизированные знания, владеет приемами рассуждения и сопоставляет материал из разных источников: теорию связывает с практикой, другими темами данного курса, других изучаемых предметов; без ошибок выполнил практическое задание.

Оценка «не зачтено» выставляется студенту, который не справился с 50% вопросов и заданий билета, в ответах на другие вопросы допустил существенные ошибки. Не может ответить на дополнительные вопросы, предложенные преподавателем. Целостного представления о взаимосвязях элементов курса и использования предметной терминологии у обучающегося нет. Оценивается качество устной и письменной речи, как и при выставлении положительной оценки.

Типовые контрольные задания или иные материалы

Вопросы к зачету по дисциплине

- 1) Язык VHDL. Этапы проектирования СБИС.
- 2) Высокоуровневый синтез.
- 3) Логический синтез.
- 4) Основы моделирования логических схем с использованием языка VHDL.
- 5) Структурное и поведенческое описание цифровой системы.
- 6) Лексические элементы и типы данных в языке VHDL.
- 7) Декларации. Интерфейс и архитектура объекта.
- 8) Сигналы. Назначение сигнала и виды задержек.
- 9) Понятие сигнала в языке VHDL. Дельта-задержка.
- 10) Последовательные операторы.
- 11) Параллельные операторы.
- 12) Архитектура проекта. Декларация интерфейса объекта.
- 13) Оператор конкретизации компонента.
- 14) Оператор generate.
- 15) Использование изменяемых параметров (generic).
- 16) Функции и процедуры.
- 17) Пакеты. Библиотеки VHDL-описаний.
- 18) Синтез схем по VHDL-описаниям. Понятие синтезируемого подмножества.
- 19) Типы входных, выходных данных после синтеза.
- 20) Кодирование данных при синтезе.
- 21) Синтезируемые и несинтезируемые операторы и конструкции.
- 22) САПР для проектирования ПЛИС. Синтез VHD-кода в САПР Quartus II.
- 23) Триггеры. D-триггер.
- 24) Синтезируемые описания конечных автоматов.
- 25) Синтез типовых схем. Описание и моделирование шифраторов/дешифраторов.
- 26) Синтез типовых схем. Описание и моделирование сумматоров.
- 27) Синтез типовых схем. Описание и моделирование регистров.
- 28) Управление синтезом. Использование конфигураций.