

ПРИЛОЖЕНИЕ

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«Рязанский государственный радиотехнический университет имени В.Ф. Уткина»

КАФЕДРА «ЭЛЕКТРОННЫЕ ВЫЧИСЛИТЕЛЬНЫЕ МАШИНЫ»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

**«СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ В
СПЕЦИАЛЬНЫХ ОРГАНИЗАЦИОННО-ТЕХНИЧЕСКИХ СИСТЕМАХ»**

Специальность

27.05.01 Специальные организационно-технические системы

Специализация

Информационные технологии и программное обеспечение в специальных
организационно-технических системах

Квалификация (степень) выпускника — инженер-системотехник

Форма обучения — очная, очно-заочная

1 ОБЩИЕ ПОЛОЖЕНИЯ

Оценочные материалы – это совокупность учебно-методических материалов (практических заданий, описаний форм и процедур проверки), предназначенных для оценки качества освоения обучающимися данной дисциплины как части ОПОП.

Цель – оценить соответствие знаний, умений и владений, приобретенных обучающимся в процессе изучения дисциплины, целям и требованиям ОПОП в ходе проведения промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности компетенций, закрепленных за дисциплиной.

Контроль знаний обучающихся проводится в форме промежуточной аттестации.

Промежуточная аттестация проводится в форме экзамена.

Форма проведения экзамена - тестирование, письменный опрос по теоретическим вопросам и выполнение практического задания.

2 ПАСПОРТ ОЦЕНОЧНЫХ МАТЕРИАЛОВ ПО ДИСЦИПЛИНЕ

Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или её части)	Вид, метод, форма оценочного мероприятия
Раздел 1. Архитектуры микропроцессорных систем.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Зачет
Раздел 2. Структуры процессоров микропроцессорных систем.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Зачет
Раздел 3. Система команд микроконтроллеров ARM Cortex M3.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Зачет
Раздел 4. Обработка данных в микроконтроллерах ARM Cortex M3.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Зачет
Раздел 5. Периферийные устройства микропроцессорных систем.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 6. Аналоговые интерфейсы микропроцессорных систем.	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 7. Проектирование микропроцессорных систем на основе ПЛИС	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 8. Основные понятия теории надежности и показатели надежности объектов	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 9. Законы распределения наработки до отказа (времени восстановления)	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 10. Методики расчета надежности объектов	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен
Раздел 11. Надежность микросистемных и микропроцессорных систем. Заключение	ОПК-7.1, ОПК-7.2, ОПК-7.3	Экзамен

3 ОПИСАНИЕ ПОКАЗАТЕЛЕЙ И КРИТЕРИЕВ ОЦЕНИВАНИЯ КОМПЕТЕНЦИЙ

Сформированность каждой компетенции (или ее части) в рамках освоения данной дисциплины оценивается по трехуровневой шкале:

- 1) пороговый уровень является обязательным для всех обучающихся по завершении освоения дисциплины;
- 2) продвинутый уровень характеризуется превышением минимальных характеристик

сформированности компетенций по завершении освоения дисциплины;

3) эталонный уровень характеризуется максимально возможной выраженностью компетенций и является важным качественным ориентиром для самосовершенствования.

Уровень освоения компетенций, формируемых дисциплиной:

Описание критериев и шкалы оценивания тестирования:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 85 до 100%
2 балла (продвинутый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 70 до 84%
1 балл (пороговый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 50 до 69%
0 баллов	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 0 до 49%

Описание критериев и шкалы оценивания теоретического вопроса:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	выставляется студенту, который дал полный ответ на вопрос, показал глубокие систематизированные знания, смог привести примеры, ответил на дополнительные вопросы преподавателя
2 балла (продвинутый уровень)	выставляется студенту, который дал полный ответ на вопрос, но на некоторые дополнительные вопросы преподавателя ответил только с помощью наводящих вопросов
1 балл (пороговый уровень)	выставляется студенту, который дал неполный ответ на вопрос в билете и смог ответить на дополнительные вопросы только с помощью преподавателя
0 баллов	выставляется студенту, который не смог ответить на вопрос

Описание критериев и шкалы оценивания практического задания:

Шкала оценивания	Критерий
6 баллов (эталонный уровень)	Задача решена верно
4 балла (продвинутый уровень)	Задача решена верно, но имеются неточности в логике решения
2 балла (пороговый уровень)	Задача решена верно, с дополнительными наводящими вопросами преподавателя
0 баллов	Задача не решена

На промежуточную аттестацию (экзамен) выносятся тест, два теоретических вопроса и одна задача. Максимально студент может набрать 15 баллов. Итоговый суммарный балл студента, полученный при прохождении промежуточной аттестации, переводится в традиционную форму по системе «отлично», «хорошо», «удовлетворительно» и «неудовлетворительно».

Оценка «отлично» выставляется студенту, который набрал в сумме 15 баллов (выполнил все задания на эталонном уровне). Обязательным условием является выполнение всех предусмотренных в течение семестра практических заданий.

Оценка «хорошо» выставляется студенту, который набрал в сумме от 10 до 14 баллов при условии выполнения всех заданий на уровне не ниже продвинутого. Обязательным условием является выполнение всех предусмотренных в течение семестра практических заданий.

Оценка «удовлетворительно» выставляется студенту, который набрал в сумме от 5 до 9 баллов при условии выполнения всех заданий на уровне не ниже порогового. Обязательным условием является выполнение всех предусмотренных в течение семестра практических заданий.

Оценка «неудовлетворительно» выставляется студенту, который набрал в сумме менее 5 баллов или не выполнил всех предусмотренных в течение семестра практических заданий.

На промежуточную аттестацию (зачет) выносятся тест, два теоретических вопроса и одна задача. Максимально студент может набрать 15 баллов. Итоговый суммарный балл студента, полученный при прохождении промежуточной аттестации, переводится в традиционную форму по системе «зачтено» и «не зачтено».

Оценка «зачтено» выставляется студенту, который набрал в сумме 8 баллов (выполнил все задания на эталонном уровне). Обязательным условием является выполнение всех предусмотренных в течение семестра практических заданий.

Оценка «не зачтено» выставляется студенту, который набрал в сумме менее 8 баллов или не выполнил всех предусмотренных в течение семестра практических заданий.

4. Типовые вопросы для текущего контроля.

1. Как создать новый файл для ввода описания на языке Verilog?
2. Основные элементы структуры модуля описания на Verilog.
3. Типы сигналов. Параллельные и последовательные операторы языка Verilog.
4. Операторы присваивания «assign», особенности применения.
5. Поясните правила записи всех операторов, использованных в работе.
6. Способы структурного описания схем на Verilog.
7. Особенности поведенческого описания на Verilog.
8. Виды логических операторов языка Verilog.
9. Синтаксис и применение оператора условного присваивания.

10. **Вопрос** Числа, заданные в десятичной системе счисления запишите в двоичной, и в 16-ричной системах счисления. Приведите запись чисел в виде констант языка Verilog.

Ответ.

$$20 = 10100_2 = 14_{16}$$

$$20 = 5'b10100 = 2'h14$$

$$10 = 1010_2 = a_{16}$$

$$10 = 4'b1010 = 1'ha$$

11. Какие выделяют виды отказов?
12. Что такое ремонтпригодность?
13. Что такое безотказность ПЭВМ и какими показателями она характеризуется?
14. Какими показателями характеризуется сохраняемость ПЭВМ?
15. Что такое коэффициент готовности и от чего он зависит?
16. Что такое среднее время восстановления и от чего оно зависит?
17. Что такое вероятность безотказной работы, и как перейти от нее к интенсивности отказов?
18. Как охарактеризовать зависимость интенсивности отказов от времени работы?
19. Чем отличается математические модели интенсивности отказов компонентов компьютерной техники от математических моделей интенсивности отказов?
20. Как производят расчет надежности невосстанавливаемых объектов?
21. На каких этапах проектирования проводятся мероприятия по обеспечению надежности?
22. Перечислите способы повышения надежности?
23. От каких параметров зависит коэффициент режима?
24. Что такое резервирование?
25. Какие виды резервирования вы знаете?
26. Какие виды резервирования в зависимости от предусматриваемых средств введения избыточности Вы знаете?
27. В чем отличие общего резервирования от раздельного?
28. Какие факторы необходимо учитывать при введении аппаратной избыточности?
29. Каким образом влияет введение резервирования на основные показатели надежности ЭС?
30. Как охарактеризовать зависимость интенсивности отказов от времени ожидания и хранения?

Вопрос. Мультиплексор 2 в 1, функциональное назначение, обозначение, таблица истинности, логические функции, схема.

Решение. Мультиплексор - переключатель - комбинационная схема, которая передает на выход сигнал с того информационного входа, чей адрес в данный момент присутствует на адресных входах, имеет m адресных входов, 2^m информационных входов и один выход.

Таблица истинности для мультиплексора составлена из следующих соображений.

Если адрес $a = 1$, то выход $q = x$, иначе, при $a = 0$ $q = y$.

Вопрос. Дешифратор – демультиплексор 2 в 4 , функциональное назначение, обозначение, описание на языке Verilog.

Решение.

Дешифратор (обозначают DC - decoder) осуществляет преобразование двоичного M -разрядного кода в код «1 из N » (или унарный код), в котором каждой комбинации значений входных сигналов соответствует сигнал, равный 1, только на одном выходе., имеющий M входов и 2^M выходов. Дешифратор, имеющий дополнительные входы разрешения «е» (Enable), называется дешифратором - демультиплексором.

При построении схемы для формирования каждого выходного сигнала потребуется 3-входовая схема «И». Выход « q_0 », например, формируется в соответствии с уравнением: $q_0 = nd_1 \cdot nd_0 \cdot e$. Для каждого входного сигнала необходим инвертор.

Вопрос. Устройство сдвига комбинационного типа, функциональное назначение, обозначение, описание на языке Verilog.

Решение. Пусть задана работка 4-разрядного комбинационного устройства, выполняющего арифметический сдвиг вправо.

Анализ устройства арифметического сдвига вправо. Арифметический сдвиг вправо используется для деления на 2 чисел со знаком, представленных в дополнительном коде. При арифметическом сдвиге вправо старший знаковый разряд сохраняется, и копируется в соседний младший разряд. Эта операция называется расширением знака. Выдвигаемый разряд является признаком переноса c . Заметим, для умножения на 2 беззнаковых чисел, и чисел со знаком используют логический сдвиг влево.

Вопрос. Одноразрядный сумматор, функциональное назначение, обозначение, таблица истинности, логические функции, схема, описание на Verilog.

Решение. Функциональное назначение. Одноразрядный сумматор выполняет арифметическое суммирование кодов чисел. В каждом разряде производится суммирование трех цифр: первого и второго слагаемых данного разряда (a) и (b), и переноса из соседнего младшего разряда (c). Выходами схемы являются сумма для данного разряда(s) и перенос в следующий старший разряд (p). Включая параллельно несколько подобных схем можно получить сумматор с произвольным числом разрядов (с последовательным переносом).

Таблица истинности. Учитывается, что все слагаемые равнозначны. Значения переноса и суммы образуют двухразрядное двоичное число, равное количеству единиц во входных сигналах. Сумма $s = 1$, если количество входных сигналов, равных 1 нечетно (1 или 3). Перенос $p = 1$, если количество входных сигналов, равных 1 больше одного (2 или 3).

Логические функций составляются таблице истинности в совершенной дизъюнктивной нормальной форме (СДНФ). Минимизация позволяет получить минимальную дизъюнктивную нормальную форму – МДНФ.

$$p = \bar{a} \cdot b \cdot c \vee a \cdot \bar{b} \cdot c \vee a \cdot b \cdot \bar{c} \vee a \cdot b \cdot c;$$

$$s = \bar{a} \cdot \bar{b} \cdot c \vee \bar{a} \cdot b \cdot \bar{c} \vee a \cdot \bar{b} \cdot \bar{c} \vee a \cdot b \cdot c$$

$$p = a \cdot b \vee a \cdot c \vee b \cdot c;$$

$$s = \bar{a} \cdot \bar{b} \cdot c \vee \bar{a} \cdot b \cdot \bar{c} \vee a \cdot \bar{b} \cdot \bar{c} \vee a \cdot b \cdot c$$

По логическим функциям составлена схема. при описании на Verilog использован оператор объединения, который учитывает, что в устройстве суммируется три слагаемых, а результат представляют две одноразрядные переменные. Из таблицы истинности следует, что сигналы « p » и « s » можно объединить

Вопрос. Асинхронный $\overline{R}\overline{S}$ триггер с инверсными установочными входами, функциональное назначение, схема, теоретические временные диаграммы, описание на Verilog.

Решение.

Триггер – элемент памяти с двумя устойчивыми состояниями. Элементы И—НЕ, соединенные в замкнутую цепь, образуют \overline{RS} -триггера. Режим хранения информации, при котором в контуре действует положительная обратная связь, возникает при подаче на оба установочных входа сигнала 1: $\overline{s} = \overline{r} = 1$, при этом логические элементы передают сигналы положительной обратной связи по замкнутому контуру. Положительная обратная связь обеспечивает сохранение состояния триггера. Работу триггера описывают таблица истинности и теоретические временные диаграммы. На диаграммах отмечены интервалы, которым соответствуют постоянные значения всех сигналов: «хр.» - режим хранения ($\overline{s} = \overline{r} = 1$); «уст.1» установка 1 ($\overline{s} = 0$; $\overline{r} = 1$); «уст.0» - установка 0 ($\overline{s} = 1$; $\overline{r} = 0$); «запр.» – запрещенная комбинация входов ($\overline{s} = \overline{r} = 0$). При запрещенной комбинации входные сигналы некорректны, а при переходе в состояние хранения имеем неопределенный выходной сигнал.

Вопрос Описание 8-разрядного сумматора на языке Verilog

Составьте на языке Verilog описание 4-разрядного сумматора, имеющего входные 4-разрядные коды А и В, выходной 4-разрядный код Q, входной перенос – С, выходной перенос – Р. Заметим, что бит выходного переноса Р и 4-разрядный выходной код Q образуют 5-разрядное число.

Ответ. Для заданной задачи наиболее удачным является поведенческое описание, в основе которого алгоритм функционирования. Результат суммирования n-разрядных чисел может иметь n+1 разряд. Дополнительный разряд – это перенос. В основе описания один оператор параллельного назначения (с ключевым словом assign), в левой части которого объединенный вектор, содержащий выходной перенос Р и 8-разрядную сумму Q.

```
module adder (a,b,q,c,p);
input [7:0] a, b;
input c;
output [7:0] q;
output p;
assign {p,q} = a+b+c;
endmodule
```

Вопрос . Описание компаратора кодов на языке Verilog

Составьте на языке Verilog описание компаратора 4-разрядных кодов А и В, выход которого E=1 при A = B.

Ответ. Компаратор кодов выполняет сравнение кодов чисел. Основными отношениями между двумя двоичными кодами чисел А и В, через которые можно выразить все остальные, являются «равно» и «больше».

Для формирования признака равенства E чисел А и В необходимо поразрядно выполнить операцию исключающее ИЛИ, и из результатов сравнения отдельных бит сформировать общий результат. Признак E равенства четырехразрядных чисел А и В, принимающий значение 1 при равенстве чисел, можно записать в виде:

$$E = \overline{(A_3 \oplus B_3) \vee (A_2 \oplus B_2) \vee (A_1 \oplus B_1) \vee (A_0 \oplus B_0)}$$

Описание компаратора по логическому уравнению на языке Verilog имеет следующий вид:

```
//Компаратор, вариант 1
module comp_v1 (a, b, e);
input [3:0]a,b;
output e;
assign e=~((a[3]^b[3]) |(a[2]^b[2]) |(a[1]^b[1]) |(a[0]^b[0]));
endmodule
```

Поведенческое описание компаратора представляет устройство как «черный ящик», и описывает алгоритмом его функционирования, или зависимость выходного сигнала от входных сигналов. Описание, в основе которого алгоритм, как правило, короче и проще в восприятии.

При поведенческом описании компаратора признаку «e» присваивается результат операции сравнения входных кодов «a» и «b».

```
// Компаратор, вариант 2
module comp_v3 (a, b, e);
input [3:0]a,b;
output e;
assign e=a==b;
endmodule
```

Вопросы. Синтез комбинационных схем логической функции

По заданной логической функции составьте таблицу истинности, схему, описание на языке Verilog, теоретические временные диаграммы

- 1) $Y = (X1 \cdot \overline{X2}) \vee (\overline{X1} \cdot X2);$
- 2) $Y = \overline{X1} \cdot \overline{X2};$
- 3) $Y = \overline{(X1 \cdot X2)} \vee (\overline{X1} \cdot \overline{X2});$
- 4) $Y = (X1 \cdot \overline{X2}) \vee (\overline{X1} \cdot X2) \vee (\overline{X1} \cdot \overline{X2});$
- 5) $Y = (X1 \cdot \overline{X2}) \vee (\overline{X1} \cdot X2) \vee (X1 \cdot X2);$
- 6) $Y = (X1 \cdot \overline{X2}) \vee (\overline{X1} \cdot X2) \vee (\overline{X1} \cdot \overline{X2});$
- 7) $Y = X3 \cdot ((X1 \cdot \overline{X2}) \vee (\overline{X1} \cdot X2));$
- 8) $Y = \overline{X3} \cdot ((X1 \cdot X2) \vee (\overline{X1} \cdot \overline{X2}));$
- 9) $Y = \overline{(X1 \cdot X2 \cdot X3)} \vee (\overline{X1} \cdot \overline{X2} \cdot \overline{X3});$
- 10) $Y = \overline{(X1 \cdot X2 \cdot X3)} \vee (\overline{X1} \cdot \overline{X2} \cdot \overline{X3}) \vee (\overline{X1} \cdot X2 \cdot \overline{X3});$
- 11) $Y = \overline{(\overline{X1} \cdot \overline{X2} \cdot \overline{X3})} \vee (\overline{X1} \cdot X2 \cdot \overline{X3}) \vee (X1 \cdot \overline{X2} \cdot \overline{X3}) \vee (X1 \cdot X2 \cdot \overline{X3});$
- 12) $Y = \overline{(X1 \cdot X2 \cdot X3)} \vee (\overline{X1} \cdot \overline{X2} \cdot \overline{X3}) \vee (\overline{X1} \cdot X2 \cdot \overline{X3}) \vee (\overline{X1} \cdot \overline{X2} \cdot X3);$

Вопрос . Описание дешифратора демультиплексора с двумя входами данных на языке Verilog

Составьте описание на языке Verilog дешифратора демультиплексора с двумя входами данных, «d1,d0», прямым входом разрешения «e», и прямыми выходами «q3..q0».

Ответ. Дешифратор осуществляет преобразование двоичного М-разрядного кода в код «1 из N» (или унарный код), в котором каждой комбинации значений входных сигналов соответствует сигнал, равный 1, только на одном выходе. Полный дешифратор имеет М входов и N = 2М выходов.

Дешифратор, имеющий дополнительные разрешающие входы, называется дешифратором - демультиплексором.

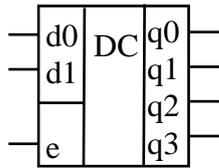
Дешифратор – демультиплексор с двумя входами данных имеет 4 выхода.

По приведенной таблице истинности составим логические уравнения.

По приведенной таблице истинности составим логические уравнения.

$$q_0 = \overline{d_1} \cdot \overline{d_0} \cdot e; \quad q_1 = d_1 \cdot \overline{d_0} \cdot e; \quad q_2 = \overline{d_1} \cdot d_0 \cdot e; \quad q_3 = d_1 \cdot d_0 \cdot e;$$

Пр логическим уравнениям составлено описание дешифратора - демультиплексора на языке Verilog.

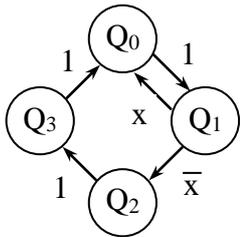


d1d0	e	q3q2q1q0
0 0	1	0 0 0 1
0 1	1	0 0 1 0
1 0	1	0 1 0 0
1 1	1	1 0 0 0
x x	0	0 0 0 0

```

module decoder (d, e, q);
  input [1:0]d;
  input e;
  output [3:0] q;
  assign q[3] = d[1] & d[0] & e;
  assign q[2] = d[1] & ~d[0] & e;
  assign q[1] = ~d[1] & d[0] & e;
  assign q[0] = ~d[1] & ~d[0] & e;
endmodule

```



Вопрос Проведите синтез схемы управляющего автомата, соответствующего заданному графу

Решение.

В соответствии с заданным графом цифровой автомат имеет 4 внутренних состояния и под воздействием тактовых импульсов С и входных сигналов X переходит из одного состояния в другое. Входные сигналы - одноразрядные С, X, выходной – двухразрядный сигнал состояния Q.

1) Выбор емкости памяти и типа триггеров. Схема автомата должна содержать N триггеров, при этом $2^N \geq K$, где K – количество состояний автомата. Для рассматриваемого примера N=2. В простейшем случае состояния кодируются соответствующими двоичными кодами: Q₀-00, Q₁-01, и т.д. При построении схем на ПЛИС, в качестве элемента памяти автомата предпочтение отдают D-триггеру. Функция переходов для D-триггера имеет вид: $q(t+1)=d(t)$. Состояние, в которое переходит триггер в (t+1)-м такте определяется входным сигналом в предыдущем, t-м такте.

Таблица 1.

Q _T q1 q0	Q _{T+1} q1 q0	X	D d1 d0
0 0	0 1	1	0 1
0 1	1 0	/X	1 0
0 1	0 0	X	0 0
1 0	1 1	1	1 1
1 1	0 0	1	0 0

2) Составление таблицы переходов. По графу составим описание микропрограммы в форме таблицы 1, где: Q_{T+1} – состояние, в которое переходит автомат; Q_T - исходное состояние автомата; X – условие перехода; d1 d0 – двоичный код, подаваемый на входы триггеров, равный коду состояния Q_{T+1}.

3) Логические выражения для функций переходов. Выделяя строки таблицы, в которых d0=1, запишем логическое уравнение для сигнала d0, зависящего от исходного состояния Q_T и условия X. Аналогично уравнение для d1 записывается посредством анализа строк, в которых d1=1.

$$d0 = \overline{q1} \cdot \overline{q0} \vee q1 \cdot \overline{q0} = \overline{q0} \quad ;$$

$$d1 = \overline{q1} \cdot q0 \cdot \overline{x} \vee q1 \cdot \overline{q0};$$

4) По логическим уравнениям составлена схема, изображенная в символах САПР.

5. Вопросы к экзамену

1. Арифметические и логические основы ЭВМ. Выбор базиса. Преобразование и минимизация логических функций.
2. Элементная база цифровых и вычислительных устройств.
3. Схемотехническая реализация логических элементов ТТЛ и КМОП.
4. Анализ базовых логических элементов.
5. Описание комбинационных схем на Verilog.
6. Синтез комбинационных схем. Минимизация логических функций.
7. Синтез сумматора.
8. Четырехразрядный сумматор. Описание на Verilog.
9. Компаратор кодов. Описание компаратора на Verilog.
10. Мультиплексор. Функциональное назначение. Описание на Verilog.
11. Разработка АЛУ комбинационного типа. Описание на Verilog.
12. Дешифраторы. Дешифратор для семисегментного индикатора.
13. Преобразователи кодов. Код Грея.
14. Асинхронные статические триггеры с установочными входами.

16. Синхронный RS - триггер.
17. Синхронный статический D -триггер.
18. Описание статических триггеров на Verilog.
19. Динамический D -триггер.
20. JK-триггер. Счетный триггер.
21. Описание динамических триггеров на Verilog.
22. Асинхронный и синхронный счетчики. Функциональное назначение.
23. Реверсивные счетчики.
24. Описание счетчиков на языке Verilog.
25. Применение счетчиков. Импульсная модуляция. Частотные модуляторы.
26. Параллельный и сдвигающий регистры. Функциональное назначение.
27. Генератор псевдослучайной последовательности.
28. Синтез конечных автоматов. Этапы синтеза. Методика тестирования.
29. Проектирование счетчиков как цифровых автоматов.
30. Описание конечных автоматов на языке Verilog.
31. Система на кристалле SOC (SystemonChip), функциональный состав.
32. Синтез процессора на основе ПЛИС. Выбор архитектуры системы.
33. Выбор конфигурации синтезируемого процессора.
34. Выбор конфигурации синтезированного процессора.
35. Разработка системы синхронизации синтезированного процессора.
36. Регистровая модель синтезированного процессора.
37. Разработка функциональной схемы синтезированного процессора.
38. Разработка системы команд синтезированного процессора.
39. Разработка проекта процессора в САПР.
40. Конфигурация процессора в микропроцессорных устройствах.