МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ им. В.Ф. УТКИНА

Кафедра «Автоматики и информационных технологий в управлении»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ ДИСЦИПЛИНЫ

Цифровая схемотехника и программируемые логические схемы

Специальность 12.05.01
«Электронные и оптико-электронные приборы
и системы специального назначения»

ОПОП
«Оптико-электронные информационно-измерительные приборы и системы»

Квалификация выпускника – инженер

Формы обучения – очная

Рязань 2026

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения индивидуальных заданий на практических занятиях и лабораторных работах. При оценивании результатов освоения практических занятий и лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных и практических работ и их тематика определена рабочей программой дисциплины, утвержденной заведующим кафедрой.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением экзамена и теоретического зачета.

Форма проведения экзамена – письменный ответ по утвержденным экзаменационным билетам, сформулированным с учетом содержания учебной дисциплины. В экзаменационный билет включается два теоретических вопроса и одна задача. После выполнения письменной работы обучаемого производится ее оценка преподавателем и, при необходимости, проводится теоретическая беседа с обучаемым для уточнения экзаменационной оценки.

Паспорт фонда оценочных средств по дисциплине

№ п/п	Контролируемые разделы дисциплины	Код контролируемой компетенции (или её части)	Вид, метод, форма оценочного мероприятия
1	Раздел 1. Арифметические и логические основы цифровой схемотехники	ПК-1.1, ПК-1.2	Зачет.
3	Раздел 2. Элементная база цифровых вычислительных устройств	ПК-1.1, ПК-1.2	Зачет.
3	Раздел 3. Основы анализа и синтеза логических устройств комбинационного типа	ПК-1.1, ПК-1.2	Зачет.
4	Раздел 4 Проектирование логических устройств комбинационного типа	ПК-1.1, ПК-1.2	Отчеты по лабораторным работам. Зачет.
5	Раздел 5. Логические устройства последовательностного типа	ПК-1.1, ПК-1.2	Отчеты по лабораторным работам. Зачет
6	Раздел 6. Цифровые автоматы	ПК-1.1, ПК-1.2	Зачет
7	Раздел 7. Промежуточная аттестация	ПК-1.1, ПК-1.2	Зачет
8	Раздел 8. Элементная база ПЛИС	ПК-1.1, ПК-1.2	Экзамен.
9	Раздел 9. САПР MAX+PLUS II сети	ПК-1.1, ПК-1.2	Отчеты по лабораторным работам. Экзамен.
10	Раздел 10. Язык описания аппаратуры AHDL	ПК-1.1, ПК-1.2	Отчеты по лабораторным работам. Экзамен.
11	Раздел 11. Примеры проектирования на языке AHDL	ПК-1.1, ПК-1.2	Отчеты по лабораторным работам. Экзамен.
12	Раздел 12. Программирование и реконфигурирование ПЛИС	ПК-1.1, ПК-1.2	Экзамен.
13	Раздел 13. Промежуточная аттестация	ПК-1.1, ПК-1.2	Экзамен.

Показатели и критерии обобщенных результатов обучения

Результаты обучения по дисциплине	Показатели оценки результата	Критерии оценки результата
ПК-1.1 Знать: современное состояние и тенденции развития цифровой схемотехники, принципы и технологии проектирования цифровых устройств, применяемых в оптико-электронных приборах и комплексах. Уметь: применять свои знания цифровой схемотехники к решению задач проектирования средств автоматизации и управления оптико-электронными приборами и комплексами. Владеть: современными методами сбора и анализа информации по цифровой схемотехнике для проектирования средств автоматизации и управления оптико-электронными приборами и комплексами.	Ответы на контрольные вопросы	Обучающийся должен продемонстрировать знание арифметических и логических основ цифровой схемотехники, систем счисления, способов представления и преобразования чисел из одной системы счисления в другую, основ алгебры логики, элементной базы цифровых вычислительных устройств разных поколений. Обучающийся должен продемонстрировать умение анализировать комбинационные схемы, заданные логическими функциями, выполнять анализ устройства, заданных в виде схемы, выполнять синтез комбинационных схем по таблицам истинности, составлять логические функций по таблицам истинности и строить схемы цифровых устройств на этой основе. Обучающийся должен продемонстрировать владение информационными технологиями, обеспечивающими достоверную информацию о состоянии и развитии средств проектирования цифровых устройств.
ПК-1.2 Знать: основы и тенденции развития технологий анализа и синтеза устройств цифровой схемотехники, применяемые при проектировании оптико-электронных приборов и комплексов. Уметь: систематизировать и структурировать полученную в результате анализа	Ответы на контрольные вопросы	Обучающийся должен продемонстрировать знание хронологии развития аппаратных средств цифровой схемотехники, иметь представление о разработках ведущих производителей программируемых логических схемах, их характеристиках и сфере применения. Обучающийся должен продемонстрировать умение учитывать современные тенденции развития средств

информацию по цифровой схемотехнике для решения профессиональных задач Владеть: способами поиска, обработки и анализа информации по цифровой схемотехнике для решения задач по разработке оптических и оптико-электронных приборов и комплексов.		цифровой схемотехники, используя информацию, размещаемую на сайтах Обучающийся должен продемонстрировать владение информацией о технических возможностях современных информационных технологий для поиска и оценки современных САПР.

Критерии оценивания компетенций (результатов)

1. Уровень усвоения материала, предусмотренного программой.
2. Умение анализировать материал, устанавливать причинно-следственные связи.
3. Ответы на вопросы: полнота, аргументированность, убежденность, умение
4. Качество ответа (его общая композиция, логичность, убежденность, общая эрудиция)
5. Использование дополнительной литературы при подготовке ответов.

Уровень освоения сформированности знаний, умений и навыков по дисциплине оценивается в форме бальной отметки:

«Отлично» заслуживает студент, обнаруживший всестороннее, систематическое и глубокое знание учебно-программного материала, умение свободно выполнять задания, предусмотренные программой, усвоивший основную и знакомый с дополнительной литературой, рекомендованной программой. Как правило, оценка «отлично» выставляется студентам, усвоившим взаимосвязь основных понятий дисциплины в их значении для приобретаемой профессии, проявившим творческие способности в понимании, изложении и использовании учебно-программного материала.

«Хорошо» заслуживает студент, обнаруживший полное знание учебно-программного материала, успешно выполняющий предусмотренные в программе задания, усвоивший основную литературу, рекомендованную в программе. Как правило, оценка «хорошо» выставляется студентам, показавшим систематический характер знаний по дисциплине и способным к их самостоятельному пополнению и обновлению в ходе дальнейшей учебной работы и профессиональной деятельности.

«Удовлетворительно» заслуживает студент, обнаруживший знания основного учебно-программного материала в объеме, необходимом для дальнейшей учебы и предстоящей работы по специальности, справляющийся с выполнением заданий, предусмотренных программой, знакомый с основной литературой, рекомендованной программой. Как правило, оценка «удовлетворительно» выставляется студентам, допустившим погрешности в ответе

на экзамене и при выполнении экзаменационных заданий, но обладающим необходимыми знаниями для их устранения под руководством преподавателя.

«Неудовлетворительно» выставляется студенту, обнаружившему пробелы в знаниях основного учебно-программного материала, допустившему принципиальные ошибки в выполнении предусмотренных программой заданий. Как правило, оценка «неудовлетворительно» ставится студентам, которые не могут продолжить обучение или приступить к профессиональной деятельности по окончании вуза без дополнительных занятий по соответствующей дисциплине.

Типовые контрольные задания или иные материалы

Вопросы и контрольные задания к лабораторным занятиям по дисциплине

1. Перечислите возможности графического редактора системы MAX+PLUS II.
2. Какие виды типовых модулей (символов) цифровых устройств предусмотрены в библиотеке системы MAX+PLUS II для сокращения времени разработки проекта? Где они располагаются и чем отличаются?
3. Назначение пиктограмм инструментов графического редактора системы MAX+PLUS II.
4. Набор команд, определенный для графического редактора в разделе меню **Edit**.
5. Набор команд, определенный для графического редактора в разделе меню **View**.
6. Набор команд, определенный для графического редактора в разделе меню **Symbol**.
7. Набор команд, определенный для графического редактора в разделе меню **Utilities**.
8. Набор команд, определенный для графического редактора в разделе меню **Window**.
9. Набор команд, определенный для графического редактора в разделе меню **File**.
10. Набор команд, определенный для графического редактора в разделе меню **Option**.
11. Ввод элементов схемы в графическом редакторе системы MAX+PLUS II.
12. Перемещение элементов схемы в графическом редакторе системы MAX+PLUS II.
13. Копирование схемы в графическом редакторе системы MAX+PLUS II.
14. Удаление элементов схемы в графическом редакторе системы MAX+PLUS II.
15. Изменение положения элементов схемы в графическом редакторе системы MAX+PLUS II.
16. Ввод и редактирование примитивов **INPUT** и **OUTPUT**.
17. Именование элементов схемы в графическом редакторе системы MAX+PLUS II.
18. Графическое соединение цепей (шин) в графическом редакторе системы MAX+PLUS II.
19. Соединение цепей и шин по имени в графическом редакторе системы MAX+PLUS II.
20. Как осуществляется редактирование непараметризированных модулей типовых цифровых устройств?
21. Как осуществляется редактирование параметризированных модулей типовых цифровых устройств?
22. Как ввести сетку для привязки элементов схемы и задать шаг между ее линиями?
23. Как осуществляется масштабирование и нормирование изображения в графическом редакторе системы MAX+PLUS II?
24. Как задается режим неразрывности цепей/шин?
25. Как задать шрифт и его размеры при работе в графическом редакторе системы MAX+PLUS II?
26. Порядок выполнения проекта в графическом редакторе системы MAX+PLUS II.
27. Используя результаты моделирования, объясните работу логического элемента 2И.
28. Используя результаты моделирования, объясните работу дешифратора, схема которого представлена на рис. 17.
29. Используя результаты моделирования, объясните работу дешифратора, схема которого представлена на рис. 18.

30. Используя результаты моделирования, объясните работу устройства, реализующего логическую функцию $Y = (X1 \cap X2) \cup (X1 \cap X2)$.
31. Используя результаты моделирования, объясните работу устройства, реализующего логическую функцию $Y = X3 \cap ((X1 \cap X2) \cup (X1 \cap X2))$.
32. Создать проект элемента, реализующего логическую функцию $Y = \overline{X1} \cap \overline{X2}$.
33. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2) \cup (X1 \cap X2)$.
34. Создать проект элемента, реализующего логическую функцию $Y = X3 \cap ((X1 \cap X2) \cup (X1 \cap X2))$.
35. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3)$.
36. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2) \cup (X1 \cap X2) \cup (X1 \cap X2)$.
37. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2) \cup (X1 \cap X2) \cup (X1 \cap X2)$
38. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2) \cup (X1 \cap X2) \cup (X1 \cap X2)$.
39. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3)$.
40. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap \overline{X3})$.
41. Создать проект элемента, реализующего логическую функцию $Y = (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3) \cup (X1 \cap X2 \cap X3)$.
42. Как задать сетку масштаба на временных диаграммах результатов моделирования?
43. Как подключить периодическую последовательность на входе моделируемого устройства и задать параметры этой последовательности?
44. Как задать временную диаграмму произвольного импульсного сигнала?
45. Опишите процесс группирования сигналов в шину при отображении результатов моделирования на временных диаграммах.
46. Как отобразить результаты моделирования в двоичном, десятичном, восьмеричном и десятичном кодах?
47. Создать проект шифратора, работа которого описывается следующей таблицей состояний

X1	X2	X3	X4	Y1	Y2
1	1	0	0	0	0
0	1	1	0	0	1
0	0	1	1	1	0
1	0	0	1	1	1

48. Создать проект шифратора, работа которого описывается следующей таблицей состояний

X1	X2	X3	X4	Y1	Y2
1	0	1	0	0	0
0	1	0	1	0	1
1	1	0	0	1	0
0	0	1	1	1	1

49. Используя результаты моделирования, опишите работу D-триггера с разрешающим входом (**dffe**).
50. Используя результаты моделирования, опишите работу параллельного регистра.
51. Используя результаты моделирования, опишите работу сдвигового регистра с параллельной загрузкой.
52. Используя результаты моделирования, опишите работу распределителя импульсов на сдвиговом регистре.
53. Используя результаты моделирования, опишите работу дешифратора, выполненного по схеме на рис. 28.
54. Используя результаты моделирования, опишите работу дешифратора, выполненного по схеме на рис. 30.
55. Используя результаты моделирования, опишите работу двоичного счетчика, выполненного по схеме на рис. 31
56. Исследуйте работу Т-триггера **tffe** с разрешающим входом.
57. Создайте проект двухразрядного двоичного счетчика на Т-триггерах с **tffe** с разрешающим входом и опишите его работу по результатам моделирования.
58. Создайте проект трехразрядного двоичного счетчика на Т-триггерах **tffe** с разрешающим входом и опишите его работу по результатам моделирования.
59. Создайте проект счетного триггера на базе D-триггера (для этого соедините выход D-триггера с входом D через инвертор) и опишите его работу по результатам моделирования.
60. Создайте проект двухразрядного двоичного счетчика на D-триггерах и опишите его работу по результатам моделирования.
61. Создайте проект трехразрядного двоичного счетчика на D-триггерах и опишите его работу по результатам моделирования.
62. Создайте проект четырехразрядного двоичного счетчика на D-триггерах и опишите его работу по результатам моделирования.
63. Поясните работу цифрового генератора синусоидального сигнала.
64. Поясните работу цифрового интегратора.
65. Поясните назначение триггера в схеме цифрового генератора синусоидального сигнала.
66. Как задать начальную фазу в проекте цифрового генератора синусоидального сигнала? Получите на разработанной модели цифровую синусоиду с начальной фазой π.
67. Получите на разработанной модели цифрового генератора синусоиду с начальной фазой $\pi/2$.
68. Проведите моделирование разработанного цифрового интегратора для случая линейно нарастающего входного сигнала.
69. Проведите моделирование разработанного цифрового интегратора для случая, когда на вход поступает постоянный сигнал заданной величины.
70. Поясните назначение регистра в проекте цифрового генератора синусоидального сигнала.
71. Поясните назначение регистра в проекте цифрового интегратора.
72. Опишите функциональные возможности модуля **4count**.
73. Опишите функциональные возможности модуля **mult4**.
74. Опишите функциональные возможности модуля **octal dff**.
75. Опишите функциональные возможности модуля **lpm_add_sub**.
76. Опишите функциональные возможности модуля **lpm_ff**.
77. Опишите функциональные возможности модуля **busmux**.
78. Опишите функциональные возможности модуля **lpm_mux**.
79. Поясните работу многоканального цифрового интегратора.
80. Как выбрать параметры мультиплексора **lpm_mux**?
81. Проведите моделирование разработанного многоканального интегратора цифровых сигналов для случая, когда число каналов равно 8, а разрядность сигнала в каждом канале 5.

82. Прокомментируйте описание одного из спроектированных устройств (по указанию преподавателя). Объясните полученные результаты функционального моделирования. Укажите причины временных задержек и способы их уменьшения.
83. Структура текстового описания цифровых устройств на языке AHDL.
84. В чем преимущество языка AHDL по сравнению с другими способами проектирования устройств ЦОС?
85. Какие преимущества дает создания проекта на AHDL в текстовом редакторе системы MAX+PLUS II?
86. “Золотые правила” языка AHDL.
87. Константы и числа в языке AHDL.
88. Операнды в языке AHDL.
89. Группы в языке AHDL.
90. Логические операторы в AHDL.
91. Арифметические операторы в языке AHDL.
92. Операторы сравнения в языке AHDL.
93. Ключевые слова и идентификаторы языка AHDL.
94. Реализация булевых выражений и уравнений на языке AHDL.
95. Объявление узлов (NODE) в AHDL.
96. Логика оператора IF в AHDL.
97. Логика оператора CASE в AHDL.
98. Использование оператора TABLE в AHDL.
99. Использование оператора FOR GENERATE в AHDL.
100. Использование шаблонов языковых конструкций при создании текстового описания.
101. Создать в AHDL проект элемента, реализующего логическую функцию 2ИЛИ$\cap$2И.
102. Создать в AHDL проект элемента 2И-НЕ$\cup$2И.
103. Создать в AHDL проект элемента НЕ(2И$\cup$2И).
104. Создать в AHDL проект элемента, реализующего логическую функцию НЕ(**X1** $\cap$ **X2**) $\cup$(**X3** $\cap$ **X4**.).
105. Создать в AHDL проект элемента, реализующего логическую функцию НЕ**X1**$\cap$НЕ**X2.**
106. Создать в AHDL проект элемента, реализующего логическую функцию (НЕ**X1** $\cap$ **X2**) $\cup$ **X3**.
107. Создать в AHDL проект элемента, реализующего логическую функцию (**X1**$\cap$**X2**$\cap$**X3**)$\cup$НЕ**X4**.
108. Создать в AHDL проект элемента, реализующего логическую функцию НЕ (НЕ**X1**$\cap$НЕ**X2**).
109. Создание счетчиков прямого счета в AHDL.
110. Создание реверсивных счетчиков в AHDL.
111. Создание регистров параллельного типа в AHDL.
112. Создание сдвигающих регистров в AHDL.
113. Создание синхронных блоков памяти в AHDL.
114. Создание асинхронных блоков памяти в AHDL.
115. Создание параметризированных модулей в AHDL.
116. Использование оператора ASSERT в AHDL.
117. Создание INCLUDE-файлов при описании модулей памяти.
118. Создать в AHDL проект D-триггера (dff).
119. Создать в AHDL проект D-триггера с разрешающим входом (dffe).
120. Создать в AHDL проект счетного триггера на базе D-триггера.
121. Создать в AHDL проект двухразрядного двоичного счетчика на D-триггерах.
122. Создать в AHDL проект RS-триггера.
123. Создать в AHDL проект RS-триггера с разрешающим входом.
124. Создать в AHDL проект JK-триггера.
125. Создать в AHDL проект JK-триггера с разрешающим входом.

126. Создать в AHDL проект T-триггера.
127. Создать в AHDL проект JK-триггера с разрешающим входом.
128. Создать в AHDL проект 4-разрядного реверсивного сдвигающего регистра с параллельной загрузкой.
129. Создать в AHDL параметризированный модуль реверсивного сдвигающего регистра с параллельной загрузкой.
130. Создать в AHDL проект 4-разрядного реверсивного двоичного счетчика с параллельной загрузкой.
131. Создать в AHDL параметризированный модуль реверсивного двоичного счетчика с параллельной загрузкой.
132. Понятие иерархического описания проектов. Когда используется такое описание?
133. Как организуется иерархическое описание проектов в AHDL?
134. Понятие файла включения (Include File). Как создать файл включения?
135. Использование непараметризируемых модулей в иерархическом описании проекта.
136. Использование параметризируемых модулей в иерархическом описании проекта.
137. Поясните описание интерфейса модуля lpm_add_sub.
138. Поясните описание интерфейса модуля lpm_buf_reg.
139. Поясните описание созданного проекта непараметризируемого накапливающего сумматора.
140. Поясните описание созданного проекта параметризируемого накапливающего сумматора.

141. Определение, структурная схема и виды конечных автоматов.
142. Кодирование состояний конечных автоматов в AHDL.
143. Задание конечного автомата в AHDL.
144. Описание алгоритмов работы конечных автоматов.
145. Описание автомата Мура с помощью оператора TABLE.
146. Описание автомата Мура с помощью операторов CASE и IF.
147. Описание автомата Мили с помощью оператора TABLE.
148. Описание автомата Мили с помощью операторов CASE и IF.
149. Как обеспечить двоичное кодирование состояний автомата? Поясните двоичное кодирование автомата Мура по результатам, взятым из файла отчета — Report File.
150. Как обеспечить кодирование состояний автомата по принципу: одно состояние – один триггер? Поясните этот принцип кодирования автомата Мура по результатам, взятым из файла отчета — Report File.
151. Создайте проект автомата Мура, поведение которого задано графом на рис.11, где Si – состояния автомата (S0=0, S1=1, S2=1, S3=0), Y – входной сигнал.

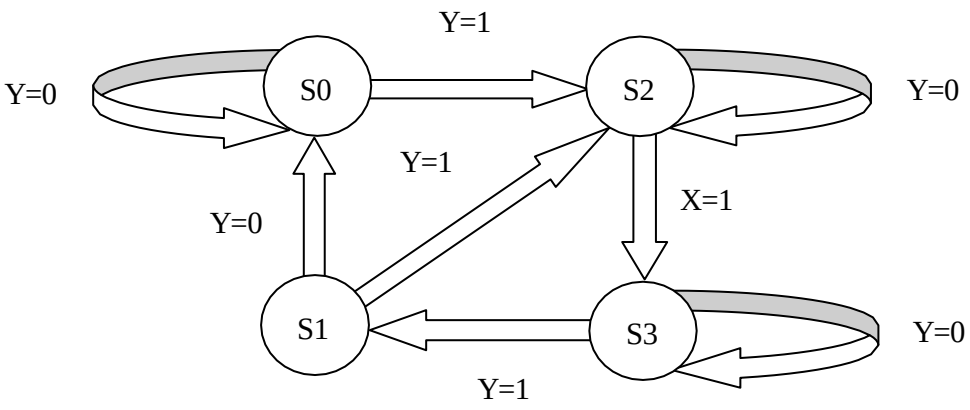


Рис.11

152. Создайте проект автомата Мили, поведение которого задано графом на рис.12, где Si – состояния автомата, Y – входной сигнал, Z – выходной сигнал.

153.

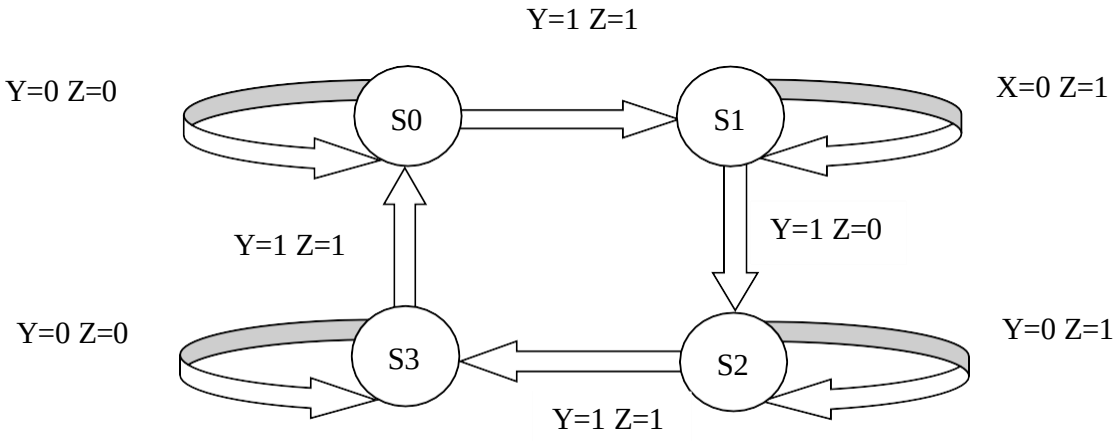


Рис.12

154. Создайте проект автомата по графу, предложенному преподавателем.

Вопросы к зачету по дисциплине

1. Элементная база цифровых вычислительных устройств.
2. Логические элементы на биполярных транзисторах. Логический элемент серии ДТЛ.
3. Базовый логический элемент ТТЛ.
4. Буферный элемент с открытым коллектором.
5. Буферный элемент с тремя состояниями выхода.
6. Логические элементы на полевых транзисторах. Инвертор КМОП.
7. КМОП - элемент И-НЕ.
8. КМОП-элемент ИЛИ-НЕ.
9. Характеристики и параметры логических элементов.
10. Анализ комбинационной схемы, заданной логическими функциями.
11. Анализ устройства, заданного в виде схемы.
12. Этапы синтеза комбинационных схем: составление технического задания, таблицы истинности, логических функций.
13. Минимизация логических функций: МДНФ, МКНФ, карты Карно.
14. Синтез комбинационной схемы на примере формирователя признака числа.
15. Системы счисления и коды. Десятичная система счисления. Двоичная система счисления. Преобразование двоичного числа в десятичное. Преобразование числа из десятичной системы счисления в двоичную.
16. Шестнадцатеричная система счисления. Восьмеричная система счисления.
17. Кодирование положительных и отрицательных целых чисел. Целые беззнаковые двоичные числа. Целые знаковые двоичные числа. Прямой код. Дополнительный код.
18. Выполнение арифметических операций в двоичной системе счисления. Сложение двоичных чисел. Вычитание двоичных чисел. Умножения двоичных чисел. Деление в двоичной системе.
19. Основы алгебры логики. Аксиомы алгебры логики. Логические тождества и теоремы алгебры логики.
20. Логический элемент НЕ - инвертор. Логический элемент И. Схемы, таблицы истинности, временные диаграммы.
21. Логический элемент ИЛИ. Логический элемент ИЛИ-НЕ. Схемы, таблицы истинности, временные диаграммы.

22. Логический элемент «Исключающее ИЛИ». Схемы, таблицы истинности, временные диаграммы.
23. Проектирование логических устройств комбинационного типа: полусумматор, инкрементор.
24. Сумматор: Таблицы истинности, составление логических функций, минимизация логических функций, разработка схемы, разработка и описание тестовых сигналов.
25. Параллельный сумматор с последовательным переносом.
26. Мультиплексоры.
27. Универсальный логический элемент на основе мультиплексора.
28. Демультиплексоры.
29. Преобразователи кодов. Дешифраторы.
30. Преобразователи кодов. Шифраторы.
31. Преобразование прямого кода в обратный и дополнительный коды.
32. Код Грея. Преобразование двоичного кода в код Грея. Обратное преобразование.
33. Компараторы кодов.
34. АЛУ комбинационного типа.
35. Триггеры: асинхронные и синхронные, со статическим и динамическим управлением.
36. Асинхронный RS-триггер с прямыми установочными входами.
37. Асинхронный RS-триггер с инверсными установочными входами.
38. Синхронный RS-триггер.
39. Двухступенчатый RS –триггер.
40. Статический D-триггер.
41. D-триггер с динамическим управлением. Обозначение входов триггеров.
42. JK триггер.
43. Асинхронный счетный триггер.
44. Синхронный счетный триггер.
45. Схемы и временные диаграммы работы суммирующего и вычитающего счетчиков, их достоинства и недостатки.
46. Синхронные счетчики. Счетчик с параллельной загрузкой.
47. Счетчики с произвольным модулем счета.
48. Формирователь заданной последовательности импульсов.
49. Генераторы псевдослучайной последовательности.
50. Понятие цифрового автомата. Элементы структуры синхронного конечного автомата.
51. Этапы синтеза конечного автомата. Пример алгоритма работы конечного автомата. Граф конечного автомата. Выбор разрядности памяти конечного автомата.
52. Таблица переходов конечного автомата. Логические выражения для функций переходов. Логические выражения для функций переходов.
53. Построение схемы конечного автомата и ее тестирование.
54. Синтез реверсивного счетчика по модулю 3: таблица переходов, логические выражения для функций переходов, схема конечного автомата и ее тестирование.

Вопросы к экзамену по дисциплине

1. Общие сведения о ПЛИС, сфера применения ПЛИС.
2. Программирование ПЛУ с плавкими перемычками.
3. Программирование ПЛУ с наращиваемыми перемычками.
4. Простые и сложные ПЛУ.
5. Программирование ПЛУ как ППЗУ с заданной таблицей состояний.
6. Программируемы логические матрицы ПЛМ.
7. Программируемые матрицы ПМЛ: PAL и GAL.

8. Сложные ПЛУ. Программируемые мультиплексоры сложных ПЛУ
9. Программируемые логические матрицы (ПЛМ), программируемая матричная логика (ПМЛ), программируемая макрологика (ПМ).
10. Программируемые коммутируемые матричные блоки (ПКМБ) или CPLD-структуры.
11. Программируемые вентильные матрицы (ПВМ) или FPGA, комбинированные архитектуры ПЛИС.
12. Архитектуры FPGA семейства Spartan фирмы Xilinx.
13. Архитектура FPGA семейства FLEX10K фирмы Altera.
14. Архитектура FPGA семейства Apex20K фирмы Altera.
15. Критерии выбора ПЛИС.
16. Обзор ПЛИС ведущих мировых производителей: Altera, Xilinx, Actel.
17. Основные характеристики ПЛИС семейств FLEX10K/A/E, FLEX6000, ACEX, APEX 20K/E/C, Cyclone, Cyclone II фирмы Altera.
18. Основные характеристики пакета MAX+PLUS II.
19. Основные характеристики ПЛИС семейств XC4000XLA/XV, Spartan, Spartan-II, Spartan-IIE, Spartan-3, Virtex/E, Virtex-II, Virtex-II Pro, Virtex-4 SX, Virtex-4 LX, фирмы XILINX.
20. Система проектирования MAX+PLUS II: общие сведения, этапы разработки проекта.
21. Разделы меню MAX+Plus II**,** их функциональное назначение.
22. Редакторы системы MAX+Plus II.
23. Понятие проекта, имени проекта в системе MAX+PLUS II.
24. Файл проекта и вспомогательные файлы системы MAX+PLUS II.
25. Назначения физических ресурсов и конфигурационные установки в системе MAX+PLUS II (назначение устройства, чипов, ячеек, выводов, зондов, местной трассировки, временных параметров).
26. Графический редактор системы MAX+PLUS II, его возможности.
27. Символьный редактор системы MAX+PLUS II, его возможности.
28. Текстовый редактор системы MAX+PLUS II, его возможности.
29. Сигнальный редактор системы MAX+PLUS II, его возможности.
30. Создание тестовых сигналов в виде векторного сигнального файла Vector File.
31. Поуровневый планировщик (трассировщик) системы MAX+PLUS II.
32. Процесс компиляции проекта.
33. Модули компилятора: Compiler, Netlist Extractor, Database Builder, Logic Synthesizer.
34. Модули компилятора: Partitioner Fitter, Functional SNF Extractor, Timing SNF Extracto,r Linked SNF Extractor, Assembler.
35. Утилита диагностики проекта (Design Doctor Utility).
36. Программы записи в форматы VHDL, Verllog, EDIF.
37. Верификация проекта.
38. Симулятор системы MAX PLUS II.
39. Функциональное тестирование. Тестирование временных параметров.
40. Общие сведения о языке описания аппаратуры AHDL. "Золотые правила AHDL".
41. Структура текстового описания в AHDL.
42. Константы и числа в языке AHDL.

43. Арифметические операторы в языке AHDL.
44. Логические операторы в языке AHDL.
45. Операторы сравнения (компараторы) в языке AHDL.
46. Ключевые слова языка AHDL. Идентификаторы языка AHDL.
47. Реализация булевых выражений и уравнений на языке AHDL.
48. Объявление узлов (NODE) в языке AHDL.
49. Понятие и задание группы в языке AHDL.
50. Реализация условной логики в языке AHDL: операторы IF и CASE.
51. Использование таблиц истинности в языке AHDL.
52. Использование значений по умолчанию в языке AHDL.
53. Описание регистров на языке AHDL.
54. Объявление регистровых выходов на языке AHDL.
55. Создание счетчиков на языке AHDL.
56. Описание цифрового автомата на языке AHDL.
57. Описания шифратора на языке AHDL.
58. Описания дешифратор на языке AHDL.
59. Описания мультиплексоров на языке AHDL.
60. Описания демультиплексоров на языке AHDL.
61. Описания параметризированных модулей на языке AHDL.
62. Описания сумматора на языке AHDL.
63. Описания модулей памяти на языке AHDL.
64. Использование оператора контроля ASSERT в языке AHDL.
65. Параметризованное описание шинного мультиплексора на языке AHDL.
66. Параметризованное описание шинного демультиплексора на языке AHDL.
67. Создание тестовых сигналов в виде векторных сигнальных файлаов.
68. Создание иерархических проектов в системе MAX+PLUS II.
69. Понятие конфигурирования и реконфигурирования ПЛИС. Варианты конфигурирования ПЛИС. Реконфигурирование в системе и в схеме.
70. Программирование ПЛИС через порт JTAG. Схема загрузочного кабеля ByteBlaster MV. Инсталляция загрузочного кабеля Byte Blaster MV на PC.
71. Конфигурационные ПЗУ и режимы загрузки. Общая характеристика процесса конфигурирования.

Типовые задания на курсовое проектирование

Заданием предусматривается проектирование с помощью САПР MAX+PLUS II и реализация на учебной плате UP2 Educational Kit устройств для помехоустойчивого кодирования или декодирования, обеспечивающих циклический избыточный контроль CRC. Устройство для помехоустойчивого кодирования должно быть реализовано по предложенной схеме. Каждому студенту дается индивидуальный вариант задания, выбираемый из таблицы 1 и таблицы 2.

Таблица 1

№ задания	Код	Образующий полином	Кодер/декодер
0	(7,4)	1011	кодер
1			декодер
2		1101	кодер
3			декодер
4	(8,5)	1111	кодер
5			декодер
6	(14,10)	10111	кодер
7			декодер
8		11101	кодер
9			декодер
10	(14,9)	100111	кодер
11			декодер
12		111001	кодер
13			декодер
14	(15,11)	10011	кодер
15			декодер
16		11001	кодер
17			декодер
18		11111	кодер
19			декодер
20	(14,8)	1000101	кодер
21			декодер
22		1010001	кодер
23			декодер
24		1111111	кодер
25			декодер
26	(12,6)	1101011	кодер
27			декодер
28		1110111	кодер
29			декодер
30	(14,7)	11110011	кодер
31			декодер
32	(10,4)	1100011	кодер
33			декодер
34	(12,5)	11000011	кодер
35			декодер
36		10111101	кодер
37			декодер
38	(15,9)	1001111	кодер
39			декодер
40		1011101	кодер
41			декодер
42		1111001	кодер
43			декодер
44	(16,10)	1010101	кодер
45			декодер

Таблица 2

Блоки проекта	**Варианты исполнения блоков проекта**						
	1	2	3	4	5	6	7
CRC-кодер, CRC-декодер	AHDL	Логика	Библ. Модуль + Логика	Логика	AHDL	Библ. Модуль + Логика	AHDL
Формирователь пускового импульса	Логика	AHDL	Логика	AHDL	Логика	AHDL	Логика
Делитель частоты	AHDL	Библ. модуль	AHDL	Библ. модуль	AHDL	Логика	Библ. модуль
Устройство управления	Библ. модуль + логика	AHDL	Конеч-ный авто-мат	Библ. модуль + логика	AHDL	Логика	Конеч-ный авто-мат
Сдвиговый регистр	AHDL	Логика	Библ. модуль	AHDL	Логика	Библ. модуль	AHDL
Дешифратор	Логика	AHDL	Логика	AHDL	Логика	AHDL	Логика

Составил
доцент кафедры АИТУ
к.т.н., доцент А.Н. Гаврилов

Заведующий кафедрой АИТУ,
к.т.н., доцент П.В. Бабаян

Оператор ЭДО ООО "Компания "Тензор"
ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ
СОГЛАСОВАНО **ФГБОУ ВО "РГРТУ", РГРТУ,** Бабаян Павел Вартанович, Заведующий кафедрой АИТУ **26.10.26** 16:08 (MSK) Простая подпись