ПРИЛОЖЕНИЕ

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
**«Рязанский государственный радиотехнический университет
имени В.Ф. Уткина»**

КАФЕДРА СИСТЕМ АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ
ВЫЧИСЛИТЕЛЬНЫХ СРЕДСТВ

# ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

**Б1.В.05 «Автоматизация конструкторского и технологического проектирования»**

Направление подготовки

09.03.01 Информатика и вычислительная техника

ОПОП академического бакалавриата

«Системы автоматизированного проектирования»

Квалификация (степень) выпускника — бакалавр

Форма обучения — очная

Рязань, 2023 г.

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения индивидуальных заданий на практических занятиях и лабораторных работах. При оценивании результатов освоения практических занятий и лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных и практических работ и их тематика определена рабочей программой дисциплины, утвержденной заведующим кафедрой.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением экзамена и теоретического зачета.

Форма проведения экзамена – письменный ответ по утвержденным экзаменационным билетам, сформулированным с учетом содержания учебной дисциплины. В экзаменационный билет включается два теоретических вопроса. После выполнения письменной работы обучаемого производится ее оценка преподавателем и, при необходимости, проводится теоретическая беседа с обучаемым для уточнения экзаменационной оценки.

Форма проведения теоретического зачета – устный ответ по вопросам, сформулированным с учетом содержания учебной дисциплины и утвержденным на заседании кафедры. При подготовке к устному ответу обучаемый может составить в письменном виде план ответа, включающий в себя основные понятия и определения и т.п.

***Паспорт фонда оценочных средств по дисциплине***

| № п/п | Контролируемые разделы (темы) дисциплины | Код контролируемой компетенции (или её части) | Вид, метод, форма оценочного мероприятия |
|---|---|---|---|
| 1 | Математические модели этапа конструкторского проектировании ЭС | ПК-1 | курсовой проект, зачет |
| 2 | Алгоритмы и модели компоновки блоков ЭС | ПК-1 | курсовой проект, зачет |
| 3 | Алгоритмы и модели размещения модулей ЭС в монтажном пространстве | ПК-1 | курсовой проект, зачет |
| 4 | Алгоритмы и модели трассировки соединений модулей ЭС | ПК-1 | курсовой проект, зачет |

| | | | |
|---|---|---|---|
| 6 | Теоретические основы синтеза логических схем. Основные элементы языка VHDL | ПК-1 | экзамен |
| 7 | Организация описания цифровой системы на языке VHDL | ПК-1 | экзамен |
| 9 | Синтез схем по описаниям на языке VHDL | ПК-1 | экзамен |

***Шкала оценки сформированности компетенций***

В процессе оценки сформированности знаний, умений и навыков обучающегося по дисциплине, производимой на этапе промежуточной аттестации в форме экзамена, используется пятибалльная оценочная шкала:

**«Отлично»** заслуживает обучающийся, обнаруживший всестороннее, систематическое и глубокое знание учебно-программного материала, умение свободно выполнять задания, предусмотренные программой, усвоивший основную и знакомый с дополнительной литературой, рекомендованной программой. Как правило, оценка «отлично» выставляется обучающимся, усвоившим взаимосвязь основных понятий дисциплины в их значении для приобретаемой профессии, проявившим творческие способности в понимании, изложении и использовании учебно-программного материала.

**«Хорошо»** заслуживает обучающийся, обнаруживший полное знание учебно-программного материала, успешно выполняющий предусмотренные в программе задания, усвоивший основную литературу, рекомендованную в программе. Как правило, оценка «хорошо» выставляется обучающимся, показавшим систематический характер знаний по дисциплине и способным к их самостоятельному пополнению и обновлению в ходе дальнейшей учебной работы и профессиональной деятельности.

**«Удовлетворительно»** заслуживает обучающийся, обнаруживший знания основного учебно-программного материала в объеме, необходимом для дальнейшей учебы и предстоящей работы по специальности, справляющийся с выполнением заданий, предусмотренных программой, знакомый с основной литературой, рекомендованной программой. Как правило, оценка «удовлетворительно» выставляется обучающимся, допустившим погрешности в ответе на экзамене и при выполнении экзаменационных заданий, но обладающим необходимыми знаниями для их устранения под руководством преподавателя.

**«Неудовлетворительно»** выставляется обучающемуся, обнаружившему пробелы в знаниях основного учебно-программного материала, допустившему принципиальные ошибки в выполнении предусмотренных программой заданий. Как правило, оценка «неудовлетворительно» ставится обучающимся, которые не могут продолжить обучение или приступить к профессиональной деятельности по окончании вуза без дополнительных занятий по соответствующей дисциплине.

В процессе оценки сформированности знаний, умений и навыков обучающегося по дисциплине, производимой на этапе промежуточной аттестации в форме теоретического зачета, используется оценочная шкала «зачтено – не зачтено»:

**Оценка «зачтено»** выставляется обучающемуся, который прочно усвоил предусмотренный программный материал; правильно, аргументировано ответил на все вопросы, с приведением примеров; показал глубокие систематизированные знания, владеет приемами рассуждения и сопоставляет материал из разных источников: теорию связывает с практикой, другими темами данного курса, других изучаемых предметов; без ошибок выполнил практическое задание.

Обязательным условием выставленной оценки является правильная речь в быстром или умеренном темпе. Дополнительным условием получения оценки «зачтено» могут стать хорошие успехи при выполнении самостоятельной и лабораторной работы, систематическая активная работа на практических занятиях.

**Оценка «не зачтено»** выставляется студенту, который не справился с 50% вопросов и заданий билета, в ответах на другие вопросы допустил существенные ошибки. Не может ответить на дополнительные вопросы, предложенные преподавателем. Целостного представления о взаимосвязях элементов курса и использования предметной терминологии у обучающегося нет. Оценивается качество устной и письменной речи, как и при выставлении положительной оценки.

***Типовые контрольные задания или иные материалы***

**Вопросы к лабораторным занятиям по дисциплине**

1) Какие модели электрических схем используются при решении задачи компоновки?
2) Назовите возможные варианты постановки задачи компоновки и используемые в ней критерии оптимизации.
3) Как выбирается базовый элемент блока в последовательном алгоритме компоновки?
4) Получите выражение для оценки L2 (x).
5) Получите выражение для оценки L3 (x.)
6) Как формулируется задача размещения в конструировании?
7) В чем суть последовательного алгоритма размещения?
8) Выведите формулу для приращения суммарной длины связей при перестановке двух модулей.
9) Почему полуслед матрицы P равен суммарной длине всех связей?
10) Какие пары модулей переставляются на одной итерации алгоритма парных перестановок?
11) Каковы практическая и математическая постановим задачи расслоения?
12) В чем суть исследуемого .в работе алгоритма расслоения?
13) Какая приближенная процедура используется в работе для построения максимального внутренне устойчивого множества? Какие другие алгоритмы можно использовать для решения этой задачи?
14) Почему распределение по слоям отрезков из списка необходимо вести последовательно в порядке, обратном порядку включения в этот список?
15) Дайте общую характеристику задачи трассировки печатных соединений.
16) Укажите характерные особенности волновых алгоритмов трассировки.
17) Каковы достоинства и недостатки алгоритма Ли?
18) Какие преимущества по сравнению с алгоритмом Ли дает реализация метода ветвей и границ в алгоритме Рабина?
19) Должны ли быть одинаковыми результаты трассировки при использования трех рассмотренных алгоритмов?
20) Назовите инструменты и их функциональное назначение в САПР KiCAD.
21) В чем заключается методика проектирования печатных плат?
22) Какую функцию выполняет утилита Cvpcb?
23) Каковы возможности редактора печатных плат?
24) Для чего предназначен редактор PCBnew?
25) Опишите основные требования при размещении элементов на печатной плате.
26) Назначение редактора библиотек и компонентов.
27) Опишите процесс создания нового компонента.
28) Как создаются посадочные места для компонентов?
29) Для чего необходимо задавать значения выводов компонентов?
30) Расскажите о назначении редактора EESchema.
31) Перечислите функции редактора EESchema.
32) Расскажите о назначении элементов инструментального меню редактора EESchema.
33) Кратко расскажите о процессе создания своей электрической схемы.
34) Какова роль редактора CVPCB в структуре САПР KiCAD?
35) Перечислите функции редактора CVPCB.
36) Расскажите о назначении элементов головного меню редактора CVPCB.

37) Что такое netlist и его роль?
38) В каком инструменте и как выполняется сопоставление компонентам посадочных мест?
39) Поясните зачем нужна процедура сопоставления условных обозначений элементов и посадочных мест компонентов печатной платы?
40) Как выполняется трассировка?
41) Каково назначение языка VHDL?
42) Перечислите основные этапы проектирования дискретных управляющих и вычислительных систем и устройств?
43) Какие возможности по моделирования предоставляет среда Modelsim?
44) Перечислите основные окна среды моделирования Modelsim.
45) Является ли корректным идентификатор 8mail?
46) Какими символами обозначается комментарий в VHDL?
47) Перечислите основные литералы языка VHDL.
48) Могут ли значения подтипа быть переданы типу?
49) В языке VHDL значение “истина” типа Boolean равно значению ‘1’ bit?
50) Являются ли различными следующие идентификаторы: Abc7, aBC7?
51) Над операндами каких типов может выполняться оператор xor?
52) Приведите определение интерфейса объекта проекта.
53) В чем заключается отличие СДНФ от СКНФ?
54) Какой принцип лежит в основе минимизации логической функции методом карт Карно?
55) Что такое дельта-задержка?
56) Как обрабатываются логические сигналы?
57) Что такое ключевое соответствие портов?
58) Что такое позиционное соответствие портов?
59) Могут ли употребляться операторы port map вместе с операторами назначения сигнала в архитектурном теле?
60) Правильно ли, что операторы port map обязательно должны иметь метки?
61) Есть ли в языке VHDL ограничение на число уровней иерархии VHDL-проектов?
62) Что такое структурное описание цифровой системы?
63) Может ли структурное описание быть иерархическим?
64) Какие описания в иерархическом описании логической схемы обязательно должны быть поведенческими (не имеют структурных описаний)?
65) Может ли настраиваемый параметр (generic) динамически меняться во время моделирования VHDL-кода?
66) Какие операторы (последовательные либо параллельные) могут находиться в теле оператора generate?
67) Что может содержаться в VHDL-пакете?
68) Каково основное назначение пакета STD_LOGIC_1164? Что содержится в данном пакете?
69) Сколькими процессами языка VHDL обычно описывается функционирование конечного автомата?
70) Изменение какого сигнала вызывает переключение внутреннего состояния конечного автомата?
71) Будут ли дельта-задержки при моделировании оператора Y<= not Y after 3 ns;?
72) Перечислите основные последовательные операторы.
73) Перечислите основные параллельные операторы.
74) Какие операторы (последовательные либо параллельные) могут находиться в теле функции?
75) Какие операторы (последовательные либо параллельные) могут находиться в теле процесса?
76) Какой оператор считается как последовательным, так и параллельным в зависимости от контекста его использования?
77) Запишите декларацию одномерного массива целых чисел.

**Типовые задания для практической и самостоятельной работы**

1) Изучить задачу компоновки конструктивных единиц ЭС, а также исследовать приближенные алгоритмы ее решения. Провести разбиение заданной схемы "вручную" с помощью последовательного алгоритма компоновки.
2) Изучить задачу размещения конструктивных элементов в монтажном пространстве, а также исследовать возможные алгоритмы ее решения. Для заданного варианта принципиальной схемы устройства составить графовую модель, используемую для последующего решения задачи размещения. Провести решение задачи "вручную" для полученного варианта задания с помощью последовательного алгоритма размещения.
3) Изучить задачу распределения проводящих соединений по слоям, а такие исследовать приближенные алгоритмы расслоения совмещенной топологии схемы. Провести решение задачи расслоения для полученного варианта задания с помощью исследуемого алгоритма.
4) Исследовать группу волновых алгоритмов. По полученному заданию построить "вручную" трассу с помощью исследуемых алгоритмов.
5) Ознакомиться с САПР Kicad, его функциональными возможностями и характеристиками. Создать символы и посадочные места компонентов.
6) Настроить конфигурацию графического редактора схем. Ознакомиться с общими правилами создания принципиальных схем. Выполнить верификацию схемы.
7) Настроить графический редактор печатных плат. Разместить созданные компоненты. Выполнить ручную и интерактивную трассировку печатных соединений.
8) Разработать проект VHDL-модели с заданным количеством входных логических переменных и логических операций.
9) По заданной таблице истинности системы логических функций разработать проект VHDL-модели и выполнить моделирование на всех наборах значений входных переменных.
10) Для заданной нерегулярной логической схемы составить структурное VHDL-описание, выполнить моделирование и найти критический путь к схеме.
11) Разработать проект VHDL-модели для заданной регулярной логической схемы, составить тест и провести моделирование.
12) Разработать проект VHDL-модели триггера.
13) Разработать проект VHDL-модели конечного автомата.
14) Написать на языке VHDL требуемые функции и процедуры, провести их моделирование.

**Примерные темы курсового проектирования по дисциплине**

1) Последовательный алгоритм компоновки.
2) Задача покрытия схемы набором конструктивных модулей.
3) Последовательный алгоритм размещения.
4) Метод обратного размещения конструктивных модулей.
5) Алгоритм парных перестановок.
6) Алгоритм Краскала построения кратчайшего связывающего дерева.
7) Алгоритм Прима построения КСД.
8) Алгоритм Прима построения КСД при $\rho(x_i) \le 2$.
9) Матрица Штейна и ее использование для построения КСД при $\rho(x_i) \le 2$.
10) Точный метод построения КСД при $\rho(x_i) \le 2$.
11) Эвристический алгоритм построения КСД.
12) Волновой алгоритм трассировки. Метод путевых координат.
13) Волновой алгоритм трассировки. Метод Акерса.
14) Волновой алгоритм трассировки. Кодирование весов ячеек по модулю три.
15) Волновой алгоритм трассировки.
16) Волновой алгоритм трассировки Рабина.
17) Волновой алгоритм трассировки. Слежение за целью.

18) Двулучевой алгоритм трассировки Абрайтиса.
19) Приближенный алгоритм построения дерева Штейнера.
20) Алгоритм трассировки Рабина, использующий стратегию поиска в глубину.
21) Приближенный алгоритм расслоения многослойных печатных плат.

**Типовые вопросы к зачету по дисциплине**

1) Общая характеристика основных задач этапа конструкторского проектирования
2) Математические модели схем ЭВС. Граф коммутационной схемы
3) Математические модели схем ЭВС. Гиперграф, взвешенный неориентированный граф
4) Математическая постановка задачи компоновки схем конструктивно унифицированными модулями. Математическая постановка задачи компоновки с использованием модели ВНГ
5) Математическая постановка задачи компоновки схем конструктивно унифицированными модулями. Математическая постановка задачи компоновки с использованием модели ГГ
6) Общая характеристика алгоритмов компоновки конструктивных модулей
7) Последовательный алгоритм компоновки
8) Задача покрытия схем набором конструктивных модулей
9) Задача размещения конструктивных модулей. Классификация алгоритмов размещения
10) Конструктивные алгоритмы размещения. Последовательный алгоритм размещения по связности
11) Параллельно-последовательный алгоритм размещения. Метод обратного размещения
12) Итерационные алгоритмы размещения. Алгоритм парных перестановок
13) Алгоритмические методы трассировки монтажных соединений. Трассировка проводного монтажа
14) Алгоритм Краскала
15) Алгоритм Прима
16) Трассировка печатных соединений
17) Математические модели монтажного пространства. Волновой алгоритм трассировки
18) Кодирование весов ячеек по модулю 3. Методы ускорения работы волнового алгоритма
19) Лучевой алгоритм трассировки Абрайтиса
20) Алгоритм Рабина
21) Алгоритм слежения за целью
22) Распределение соединений по слоям печатной платы
23) Алгоритм расслоение многослойной печатной платы

**Типовые вопросы к экзамену по дисциплине**

1) VHDL - язык проектирования цифровых систем. Этапы программирования СБИС.
2) Лексические элементы, разделители, операторы. Идентификаторы. Литералы.
3) Высокоуровневый синтез
4) Типы данных. Подтипы, конверсия типов
5) Декларация константы. Декларация переменной. Декларация сигнала
6) Сигналы
7) Декларация компонента. Интерфейс и архитектура объекта
8) Операторы. Понятие дельта-задержки
9) Последовательные операторы
10) Оператор if. Оператор case
11) Оператор назначения сигнала. Виды задержек
12) Оператор loop. Оператор wait
13) Параллельные операторы
14) Оператор конкретизации компонента

15) Оператор process
16) Оператор generate
17) Процедуры и функции
18) Моделирование VHDL-описаний
19) Пакеты. Библиотеки VHDL- описаний
20) Синтез схем по VHDL-описаниям. Системы моделирования и синтеза
21) Понятие синтезируемого подмножества языка VHDL
22) Целевая библиотека синтеза
23) Типы входных, выходных данных после синтеза (std_logic, std_logic_vector)
24) Кодирование данных при синтезе. Кодирование данных типа bit, bit_vector
25) Кодирование данных типа integer
26) Кодирование данных перечислимого типа
27) Кодирование данных типа array
28) Кодирование строковых литералов

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

ПОДПИСАНО ЗАВЕДУЮЩИМ ВЫПУСКАЮЩЕЙ КАФЕДРЫ

**ФГБОУ ВО "РГРТУ", РГРТУ,** Корячко Вячеслав Петрович, Заведующий кафедрой САПР

**02.11.26** 15:59 (MSK)

Простая подпись