ПРИЛОЖЕНИЕ 1
к рабочей программе дисциплины

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

Кафедра «Электронные вычислительные машины»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

«Проектирование цифровых устройств»

Направление подготовки

09.03.01 Информатика и вычислительная техника

Направленность (профиль) подготовки

Вычислительные машины, комплексы, системы и сети

Квалификация (степень) выпускника — бакалавр

Форма обучения — очная, заочная

1. ОБЩИЕ ПОЛОЖЕНИЯ

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям ОПОП.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций.

Контроль знаний обучающихся проводится в форме промежуточной аттестации.

Промежуточный контроль по дисциплине осуществляется проведением экзамена.

2. ОПИСАНИЕ ПОКАЗАТЕЛЕЙ И КРИТЕРИЕВ ОЦЕНИВАНИЯ КОМПЕТЕНЦИЙ

Сформированность каждой компетенции в рамках освоения данной дисциплины оценивается по трехуровневой шкале:

1) пороговый уровень является обязательным для всех обучающихся по завершении освоения дисциплины;

2) продвинутый уровень характеризуется превышением минимальных характеристик сформированности компетенций по завершении освоения дисциплины;

3) эталонный уровень характеризуется максимально возможной выраженностью компетенций и является важным качественным ориентиром для самосовершенствования.

Уровень освоения компетенций, формируемых дисциплиной:

а) описание критериев и шкалы оценивания тестирования:

Шкала оценивания	**Критерий**
3 балла (эталонный уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 85 до 100%
2 балла (продвинутый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 75 до 84%
1 балл (пороговый уровень)	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 60 до 74%
0 баллов	уровень усвоения материала, предусмотренного программой: процент верных ответов на тестовые вопросы от 0 до 59%

б) описание критериев и шкалы оценивания теоретического вопроса:

Шкала оценивания	**Критерий**
3 балла (эталонный уровень)	выставляется студенту, который дал полный ответ на вопрос, показал глубокие систематизированные знания, смог привести примеры, ответил на дополнительные вопросы преподавателя.
2 балла (продвинутый уровень)	выставляется студенту, который дал полный ответ на вопрос, но на некоторые дополнительные вопросы преподавателя ответил только с помощью наводящих вопросов.
1 балл (пороговый уровень)	выставляется студенту, который дал неполный ответ на вопрос в билете и смог ответить на дополнительные вопросы только с помощью преподавателя.
0 баллов	выставляется студенту, который не смог ответить на вопрос

в) описание критериев и шкалы оценивания практического задания:

Шкала оценивания	Критерий
3 балла (эталонный уровень)	Задача решена верно
2 балла (продвинутый уровень)	Задача решена верно, но имеются технические неточности в расчетах
1 балл (пороговый уровень)	Задача решена верно, с дополнительными наводящими вопросами преподавателя
0 баллов	Задача не решена

На экзамен выносится: тестовое задание, 1 практическое задание и 1 теоретический вопрос. Студент может набрать максимум 9 баллов. Итоговый суммарный балл студента, полученный при прохождении промежуточной аттестации, переводится в традиционную форму по системе «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Шкала оценивания	Критерий	
отлично (эталонный уровень)	8 – 9 баллов	Обязательным условием является выполнение всех предусмотренных в течение семестра заданий
хорошо (продвинутый уровень)	6 – 7 баллов	
удовлетворительно (пороговый уровень)	4 – 5 баллов	
неудовлетворительно	0 – 3 баллов	Студент не выполнил всех предусмотренных в течение семестра текущих заданий

3. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ ПО ДИСЦИПЛИНЕ (МОДУЛЮ)

№ п/п	Контролируемые разделы (темы) дисциплины (результаты по разделам)	Код контролируемой компетенции (или её части)	Наименование оценочного мероприятия
1	2	3	4
1	Тема 1. Арифметические и логические основы цифровых устройств	ПК-5.1, ПК-5.2	Экзамен
2	Тема 2. Элементная база цифровых вычислительных устройств	ПК-5.1, ПК-5.2	Экзамен
3	Тема 3. Синтез и анализ логических устройств комбинационного типа	ПК-5.1, ПК-5.2	Экзамен
4	Тема 4. Синтез и анализ устройств с элементами памяти	ПК-5.1, ПК-5.2	Экзамен
	Тема 5. Синтез и анализ цифровых автоматов	ПК-5.1, ПК-5.2	Экзамен
	Тема 6. Проектирование устройств цифровой обработки информации на базе ПЛИС	ПК-5.1, ПК-5.2	Экзамен
	Тема 7. Проектирование микропроцессорныхсистем на основе ПЛИС	ПК-5.1, ПК-5.2	Экзамен

4. ТИПОВЫЕ КОНТРОЛЬНЫЕ ЗАДАНИЯ ИЛИ ИНЫЕ МАТЕРИАЛЫ

4.1. Промежуточная аттестация (экзамен)

ПК-5: Способен осуществлять программно-аппаратную реализацию алгоритмов цифровой обработки информации
ПК-5.1. Проектирует и реализует программно-аппаратное описание алгоритмов цифровой обработки информации
Знать основные комбинационные схемы и схемы памяти, используемые при проектировании цифровых устройств, а также основные принципы проектирования ЦУ
Уметь выполнять синтез элементов, входящих в состав цифровых устройств обработки информации
Владеть навыками анализа и отладки цифровых устройств в специализированных САПР
ПК-5.2. Выполняет аргументированных выбор программно-аппаратных средств реализации алгоритмов цифровой обработки информации
Знать основные способы описания аппаратуры
Уметь выполнять реализацию аппаратных устройств на базе ПЛИС с помощью графических и текстовых описаний аппаратуры
Владеть навыками проектирования устройств цифровой обработки информации с использованием среды программирования

а) типовые тестовые вопросы закрытого типа:

1. Устройство, обеспечивающее сложение двух двоичных цифр и учитывающее перенос с предыдущего разряда называется:

а. сумматор
б. полусумматор
в. мультиплексор
г. дешифратор

2. Какой триггер имеет запрещенную входовую комбинацию сигналов
а. D
б. T
в. JK
г. RS

3. Сравнение двух двоичных кодов выполняет:
а. Дешифратор
б. Шифратор
в. Компаратор
г. инкрементор

4. Триггер обеспечивающий изменение своего состояния в зависимости от информационных входов при изменении синхросигнала?

а. Асинхронный
б. Динамический
в. Статический
г. Счётный

5. Логическая схема без элементов памяти называется?

а. цифровым автоматом
б. регистром
в. комбинационной схемой
г. конечным автоматом

6. К языкам Hardware Definition Language относится
а. **verilog**
б. C++
в. C
г. assembler

7. Оператор @posedge -
а. сохраняет значение в регистр
б. коммутирует два сигнала
в. перемножает два значения
г. определяет что дальнейшая обработка ведется по фронту некоторого сигнала

8.Кружок на входе или выходе логического элемента или символа схемы обозначает, что данный вход/выход
а. синхронный
б. статический
в. инвертируется
г. динамический

9. Синтез импульсных модуляторов можно выполнить на базе
а. счётчика
б. мультиплексора
в. дешифратора
г. компаратора

10. Модуль счёта 8 разрядного счетчика равен
а. 8
б. 256
в. 64
г. 128

б) типовые тестовые вопросы открытого типа:

1. _____ – комбинационная схема, обеспечивающая выбор одной из информационных линий и её коммутацию на выход в зависимости от адресного сигнала.
Ответ: мультиплексор

2. Оператор языка verilog, который позволяет взаимодействовать с сигналами без использования элементов памяти - _____.
Ответ: assign

3. Записывать значения в регистр в языке verilog можно только в секции _____.
Ответ: always

4. Компаратор формирует _____, на основе комбинационных схем построенных на элементах not eor.
Ответ: признак равенства (E)

5. В многоразрядном сумматоре, одноразрядные суммирующие схемы связаны последовательно выходом _____ .
Ответ: переноса (p)

6. Разрядность информационных входов мультиплексора влияет на разрядность его ____ и не

влияет на линию _____ :

Ответ: выхода, адреса

7. Наличие единиц на входах JK триггера, он соответствует состоянию _____

Ответ: инверсии

8. Элемент VCC на входе T триггера, обеспечивает смену состояния на _____ каждый такт синхросигнала, благодаря чему ему называют _____.

Ответ: противоположное, счётным

в) типовые практические задания:

Задание 1. Опишите 32 битный мультиплексор 4 в 1 на языке verilog.

Задание 2. Опишите 16 битный мультиплексор 8 в 1 на языке verilog

Задание 3. Опишите 8 битный мультиплексор 2 в 1 на языке verilog

Задание 4. Опишите АЛУ на языке Verilog, выполняющее операции +,-,&,|, с формированием признаков результата C и N.

Задание 5. Опишите 8-разрядный счетчик с установкой начального значения отсчета и модуля счёта на языке verilog.

Типовые теоретические вопросы на экзамен по дисциплине (ОПК-3.1)*:*

ВОПРОСЫ ПО АНАЛОГОВЫМ ИНТЕРФЕЙСАМ

1) Основные законы цепей постоянного тока, делитель напряжения, метод эквивалентного генератора (первая глава, постоянный ток)

2) Метод комплексной переменной, комплексный коэффициент передачи четырехполюсника, фильтры первого порядка

3) Вольт-амперная характеристика диода, параллельные и последовательные ограничители

4) Активный режим транзистора, токи в транзисторе, входные и выходные характеристики транзистора

5) Усилительные каскады с гальванической связью. Передаточная характеристика каскада общий эмиттер

6) Усилители с гальванической связью, дрейф нуля, симметричный дифференциальный каскад, операционный усилитель

7) Решающий усилитель с последовательной ООС, функциональные возможности, суммирующий решающий усилитель с параллельной ООС

8) Интегрирующий решающий усилитель

ВОПРОСЫ ПО ЦИФРОВОЙ ЧАСТИ

1) Базовые логические элементы, правила определения значений выходных сигналов, логические функции, аксиомы, таблицы истинности

2) Арифметические устройства: полусумматор и сумматор, ТИ, логические функции, схемы, описание на Verilog

3) Многоразрядный сумматор, инкрементор, схемы, описание на Verilog

4) Компаратор кодов, построение схемы компаратора, описание на Verilog

5) Матричный перемножитель

6) Дешифратор двоичного кода в единичный, синтез схемы, описание на Verilog

7) Преобразователь двоичного кода в код Грея и обратное преобразование, кодирующая маска для кода Грея

8) Мультиплексор, синтез схемы, описание на Verilog, мультиплексор для коммутации шин

9) Асинхронный триггер с установочными входами (nrns). Физика работы, действие ПОС, ТИ, временные диаграммы

10) Синхронный rs-триггер (rcs), построение схемы, физика работы, временные диаграммы

11) Статический d-триггер, ТИ, работа схемы, временные диаграммы
12) Двухступенчатый динамический d-триггер, физика работы, описание на Verilog
13) Счетные триггеры и способы их построения, физика работы, временные диаграммы
14) Параллельный регистр, сдвигающий регистр, описание на Verilog
15) АЛУ аккумуляторного типа
16) Делители частоты с фиксированным коэффициентом деления (на 2^n)
17) Управляемые делители частоты
18) Широтно-импульсный модулятор
19) Формирование заданной импульсной последовательности (приведите пример)

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

СОГЛАСОВАНО **ФГБОУ ВО "РГРТУ", РГРТУ,** Костров Борис Васильевич, Заведующий кафедрой ЭВМ **09.10.26** 09:18 (MSK) Простая подпись