

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

Кафедра «Радиотехнические системы»

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине

Б1.В.06 «СИСТЕМЫ АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ В МИКРОЭЛЕКТРОНИКЕ»

Направление подготовки
11.03.01 Радиотехника

Направленность (профиль) подготовки
Радиофотоника

Уровень подготовки
бакалавриат

Квалификация выпускника – бакалавр

Формы обучения – очная

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения лабораторных работ. При оценивании результатов освоения материалов лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных работ и их тематика определена рабочей программой дисциплины, утвержденной заведующим кафедрой.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением теоретического зачета в шестом семестре. Форма проведения теоретического зачета – устный ответ обучающегося на вопросы из утвержденного списка вопросов.

Паспорт оценочных материалов по дисциплине

№ п/п	Контролируемые разделы (темы) дисциплины	Код контролируемой компетенции (или её части)	Вид, метод, форма оценочного мероприятия
1	Введение Введение. Различие процессов проектирования цифровых и аналоговых ИС. Метод разработки сверху-вниз.	ПК-1 ПК-4	Зачет
2	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Семейство языков Verilog. Модуль Verilog-A. Структурное и поведенческое описание модуля.	ПК-1 ПК-4	Зачет
3	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Консервативные и сигнально-потокосые системы. Сигналы Verilog-A..	ПК-1 ПК-4	Зачет
4	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Пробники и источники. Поведенческое описание на Verilog-A. Процедурное присваивание.	ПК-1 ПК-4	Зачет
5	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Операторы ветвления. Аналоговые операторы, часть 1.	ПК-1 ПК-4	Зачет
6	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Аналоговые операторы, часть 2.	ПК-1 ПК-4	Зачет
7	Язык описания аналоговых схем Verilog-A	ПК-1	Зачет

	Язык описания аналоговых схем Verilog-A. Аналоговые операторы: фильтры на основе преобразования Лапласа. Математические функции Verilog-A.	ПК-4	
8	Язык описания аналоговых схем Verilog-A Язык описания аналоговых схем Verilog-A. Структурное и поведенческое описание на примере простого усилителя.	ПК-1 ПК-4	Зачет
9	Введение в SPICE Введение в SPICE. Методы расчёта.	ПК-1 ПК-4	Зачет
10	SPICE SPICE. Основы синтаксиса списков межсоединений SPICE. Пассивные элементы.	ПК-1 ПК-4	Зачет
11	SPICE SPICE. Основы синтаксиса списков межсоединений SPICE. Активные элементы.	ПК-1 ПК-4	Зачет
12	SPICE SPICE модели КМДП-транзисторов. SPICE LEVEL 1 модель.	ПК-1 ПК-4	Зачет
13	SPICE SPICE модели КМДП-транзисторов. SPICE LEVEL 1 модель. Малосигнальные параметры.	ПК-1 ПК-4	Зачет
14	SPICE SPICE модели КМДП-транзисторов. SPICE LEVEL 3 модель и модель BSIM3v3.	ПК-1 ПК-4	Зачет
15	SPICE Экстракция параметров SPICE-моделей.	ПК-1 ПК-4	Зачет
16	Verilog-AMS Verilog-AMS. Цифро-аналоговые и аналого-цифровые интерфейсы.	ПК-1 ПК-4	Зачет

Критерии оценивания компетенций (результатов)

- 1) Уровень усвоения материала, предусмотренного программой.
- 2) Умение анализировать материал, устанавливать причинно-следственные связи.
- 3) Качество ответа на вопросы: полнота, аргументированность, убежденность, логичность.
- 4) Содержательная сторона и качество материалов, приведенных в отчетах студента по лабораторным работам, практическим занятиям.
- 5) Использование дополнительной литературы при подготовке ответов.

Шкала оценки сформированности компетенций

В процессе оценки сформированности знаний, умений и навыков обучающегося по дисциплине, производимой на этапе промежуточной аттестации в форме теоретического зачета, используется оценочная шкала «зачтено – не зачтено»:

Оценка «зачтено» выставляется обучающемуся, который прочно усвоил предусмотренный программой материал; правильно, аргументировано ответил на все вопросы, с приведением примеров; показал глубокие систематизированные знания, владеет приемами рассуждения и сопоставляет материал из разных источников: теорию связывает с практикой, другими темами данного курса, других изучаемых предметов; без ошибок выполнил практическое задание.

Обязательным условием выставленной оценки является правильная речь в быстром или умеренном темпе. Дополнительным условием получения оценки «зачтено» могут стать хорошие успехи при выполнении самостоятельной и лабораторной работы, систематическая активная работа на занятиях.

Оценка «не зачтено» выставляется обучающемуся, который не справился с 50% вопросов и заданий. Не может ответить на дополнительные вопросы, предложенные преподавателем. Целостного представления о взаимосвязях элементов курса и использования

предметной терминологии у обучающегося нет. Оценивается качество устной и письменной речи, как и при выставлении положительной оценки.

Типовые контрольные задания или иные материалы

Вопросы теоретические

1. Классификация вычислительных устройств.
2. Состав типичной системы на кристалле.
3. Микропроцессорные ядра, применяемые в СнК.
4. Современные субмикронные технологии, применяемые для производства СнК.
5. Типовой маршрут проектирования СнК.
6. Типичная структура кристалла СнК.
7. Структура корпуса СнК. Варианты wirebond и flipchip.
8. Варианты разделения труда при разработке и производстве СнК. Fabless, ASIC, COT.
9. Виды технологий проектирования микроэлектронных устройств.
10. Особенности технологии Gate Array.
11. Особенности технологии Standard Cell.
12. Структура кристалла при использовании технологии Standard Cell.
13. Виды САПР, используемые на типовом маршруте проектирования СнК.
14. Виды ПО для управления процессом разработки.
15. История языка Verilog.
16. Языки описания аппаратуры.
17. Основные языковые конструкции Verilog.
18. Виды данных, используемые в языке Verilog.
19. Блокирующие и неблокирующие присваивания.
20. Иерархическое подключение модулей.
21. Очередь событий языка Verilog.
22. Структура типичного тестового окружения для проверки блока.
23. Структура типичного модуля тестового окружения на языке Verilog.
24. Модель цифровой схемы, используемая для статического временного анализа.
25. Типичные составляющие при расчете задержки цепи.
26. Виды цепей и виды временных проверок.
27. Логический и физический синтез схем. Формат исходных данных и результата.
28. Факторы, оказывающие влияние на формирование задержек цепей для разных уровней технологии от 0,25 мкм до 40 нм.
29. Метод расчета задержек на связях с использованием таблиц нагрузок (wireload).
30. Метод расчета задержек на связях с использованием топологической информации.
31. Этапы логического синтеза.
32. Типичный состав файла ограничений (constraints) для логического синтеза.
33. Виды исключений (exceptions) цепей, которые должны быть описаны в файле ограничений для логического синтеза.
34. Классификация ошибок в схеме и методы их устранения на этапах технологически независимого проектирования.
35. Классификация ошибок в схеме и методы их устранения на этапах синтеза и топологического проектирования.
36. Классификация ошибок и методы их обнаружения на этапах производства кристаллов и микросхем.
37. Метод поиска дефектов в логическом элементе.
38. Сканирующие цепи.
39. Метод поиска дефектов корпусирования. Сканирующая цепь для внешних выводов СБИС.
40. Типы аппаратных тестов.

41. Организация тестирования кристаллов СБИС на пластине и после корпусирования.
42. Виды испытаний микросхем.
43. Структура цепей синхронизации.

Вопросы практические

1. Реализация генератора тактового сигнала в модели тестового окружения. Текст на Verilog.
2. Реализация регистра на Verilog.
3. Реализация комбинационной функции – мультиплексор 4 в 1 на Verilog.
4. Реализация подключения тестируемого модуля в модель тестового окружения, пример на Verilog.
5. Реализация управление моделированием в модели тестового окружения. Текст на Verilog.

Контрольные вопросы для проведения экзамена по итогам освоения дисциплины

1. Состав типичной системы на кристалле. Микропроцессорные ядра, применяемые в СнК.
2. Современные субмикронные технологии, применяемые для производства СнК.
3. Типовой маршрут проектирования СнК.
4. Типичная структура кристалла СнК.
5. Структура корпуса СнК. Варианты wirebond и flipchip.
6. Варианты разделения труда при разработке и производстве СнК. Fabless, ASIC, COT.
7. Виды технологий проектирования микроэлектронных устройств. Особенности технологии Gate Array. Особенности технологии Standard Cell.
8. Структура кристалла при использовании технологии Standard Cell.
9. Виды САПР, используемые на типовом маршруте проектирования СнК.
10. Основные языковые конструкции Verilog.
11. Виды данных, используемые в языке Verilog.
12. Блокирующие и неблокирующие присваивания.
13. Иерархическое подключение модулей.
14. Очередь событий языка Verilog.
15. Структура типичного тестового окружения для проверки блока.
16. Структура типичного модуля тестового окружения на языке Verilog.
17. Модель цифровой схемы, используемая для статического временного анализа. Типичные составляющие при расчете задержки цепи.
18. Виды цепей и виды временных проверок.
19. Логический и физический синтез схем. Формат исходных данных и результата.
20. Факторы, оказывающие влияние на формирование задержек цепей для разных уровней технологии от 0,25 мкм до 40 нм.
21. Метод расчета задержек на связях с использованием таблиц нагрузок (wireload). Метод расчета задержек на связях с использованием топологической информации.
22. Этапы логического синтеза.
23. Типичный состав файла ограничений (constraints) для логического синтеза. Виды исключений (exceptions) цепей, которые должны быть описаны в файле ограничений для логического синтеза.
24. Классификация ошибок в схеме и методы их устранения на этапах технологически независимого проектирования.
25. Классификация ошибок в схеме и методы их устранения на этапах синтеза и топологического проектирования.
26. Классификация ошибок и методы их обнаружения на этапах производства кристаллов и микросхем.
27. Метод поиска дефектов в логическом элементе.

28. Сканирующие цепи.
29. Метод поиска дефектов корпусирования. Сканирующая цепь для внешних выводов СБИС.
30. Типы аппаратных тестов.
31. Организация тестирования кристаллов СБИС на пластине и после корпусирования.
32. Виды испытаний микросхем.
33. Структура цепей синхронизации.
34. Структура цепей асинхронного сброса. Синхронизация цепей асинхронного сброса.
35. Маршрут разработки топологии СБИС с использованием типичных САПР.
36. Физические эффекты, учитываемые при разработке топологии СБИС.
37. Размещение стандартных ячеек и трассировка СБИС.
38. СФ-блок, определение и типы.
39. Маршрут разработки СФ-блока.
40. Комплектность СФ-блока.
41. Маршрут разработки устройств на базе СБИС.
42. Типовая комплектность документации для разработки электронного устройства на базе СБИС.
43. Особенности изготовления печатных плат и устройств на базе СБИС. Виды монтажа и контроля качества.
44. Особенности проектирования высокоскоростных печатных плат. САПР Cadence для проектирования печатных плат.
45. Типичные скорости моделирования и эмуляции систем класса «система на кристалле».
46. Макетирование и аппаратная эмуляция СнК. Типичные области применения ПЛИС.
47. Типовая структура и область применения CPLD.
48. Типовая структура и область применения FPGA.
49. Структура DSP Slice в FPGA фирмы Xilinx.
50. Типовая структура программного обеспечения устройства на базе «системы на кристалле».
51. САПР фирмы Synopsys для моделирования.
52. САПР фирмы Synopsys для синтеза и разработки топологии СБИС.
53. САПР фирмы Synopsys для технологического моделирования.
54. Основные отличия процесса разработки аналоговых и цифровых ИС
55. Подход к разработке ИС снизу вверх
56. Недостатки подхода снизу вверх
57. Подход к разработке ИС сверху вниз
58. Уровни абстракции при описании ИС
59. Значение языков описания Verilog-AMS и VHDL-AMS в подходе сверху вниз.
60. Интерфейсные элементы Verilog-AMS
61. Типы данных в Verilog-AMS
62. Цифро-аналоговые и аналого-цифровые интерфейсы.
63. Nature в Verilog-AMS. Nature electrical, определение новых nature.
64. Описание резистора на Verilog-A
65. Описание конденсатора на Verilog-A
66. Описание модуля Verilog-A
67. Структурные и поведенческие описания
68. Аналоговый процесс Verilog-A
69. Виды анализа в SPICE
70. Списки межсоединений SPICE
71. SPICE директивы
72. Пассивные элементы SPICE

73. Источники сигнала в SPICE.
74. Базовые модели КМОП транзисторов SPICE
75. Базовые модели биполярных транзисторов SPICE
76. Макромодели на SPICE
77. Способы ввода схем. Совмещение описаний схем, выполненных на различных языках описания.
78. Совмещение разноуровневых описаний схем.
79. Создание тестового окружения системы.

Составили:

Доцент отделения нанотехнологий
в электронике, спинтронике и
фотонике офиса образовательных
программ, к.ф.-м.н., доцент

(Катин К.П.)

Доцент отделения нанотехнологий
в электронике, спинтронике и фо-
тонике офиса образовательных
программ, к.ф.-м.н., доцент

(Маслов М.М.)

Проректор по научной работе
и инновациям, д.т.н., доцент

(Гусев С.И.)