5323

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

МИКРОСХЕМОТЕХНИКА ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Методические указания
к лабораторным работам

Рязань 2018

УДК 621.384.001.63; 615.47:616-072.7

Микросхемотехника цифровых интегральных схем: методические указания к лабораторным работам / Рязан. гос. радиотехн. ун-т; сост.: Н.В. Вишняков, В.В. Гудзев, А.Д. Маслов, А.С. Тюшин. Рязань, 2018. 32 с.

Содержат краткие теоретические сведения о логических элементах на основе транзисторно-транзисторной логики (ТТЛ), эмиттерно-связанной логики (ЭСЛ), интегрально-инжекционной логики ($И^2Л$), комплементарной МОП логики (КМОП), а также материалы для выполнения лабораторных работ по дисциплине «Микросхемотехника».

Предназначены для студентов дневного отделения направления 11.03.04.

Ил. 18. Библиогр.: 4 назв.

Базовые и логические элементы ТТЛ, ЭСЛ, $И^2Л$, КМОП

Печатается по решению редакционно-издательского совета Рязанского государственного радиотехнического университета.

Рецензент: кафедра микро- и наноэлектроники (зав. кафедрой д-р физ.-мат. наук, проф.Т.А. Холомина)

Микросхемотехника цифровых интрегральных схем

Составители: В и ш н я к о в Николай Владимирович
Г у д з е в Валерий Владимирович
М а с л о в Алексей Дмитриевич
Т ю ш и н Андрей Сергеевич

Редактор Р.К. Мангутова
Корректор С.В. Макушина
Подписано в печать 10.09.18. Формат бумаги 60×84 1/16.
Бумага писчая. Печать трафаретная. Усл. печ. л. 2,0.
Тираж 30 экз. Заказ
Рязанский государственный радиотехнический университет.
390005, Рязань, ул. Гагарина, 59/1.
Редакционно-издательский центр РГРТУ.

Лабораторная работа № 1

Исследование характеристик элемента ТТЛ

Цель работы: изучение передаточной и переходной характеристик элемента ТТЛ и влияние на них различных факторов.

Теоретические сведения

1. Интегральные схемы транзисторно-транзисторной логики

При построении современной цифровой аппаратуры широко используют *логические элементы* (ЛЭ), выполненные в виде *интегральных схем* (ИС). Такие элементы выполняются на основе различных полупроводниковых приборов и технологий. Типичный ЛЭ состоит, как правило, из схемы, выполняющей логическую функцию, и усилителя-инвертора. В зависимости от схемотехнической и технологической реализации этих двух частей обычно и получают название *логические интегральные схемы* (ЛИС).

Первые ЛИС строились на основе биполярных транзисторов, а их логическая часть на основе диодов. Это обстоятельство и дало название таким схемам *диодно-транзисторная логика* (ДТЛ). В дальнейшем логическую часть стали выполнять на основе *многоэмиттерных транзисторов* (МЭТ) и появилось название *транзисторно-транзисторная логика* (ТТЛ). Такие ИС широко применяются в цифровой радиоэлектронной аппаратуре и в настоящее время и являются едва ли не самыми популярными в мире.

ЛИС, совместимые по *конструкционно-технологическим* и *сигнальным* параметрам, объединяют в серии, которым даются соответствующие обозначения. В разных странах и разных иностранных фирмах, производящих ЛИС, эти обозначения отличаются друг от друга. В нашей стране серии ЛИС обычно обозначаются однообразно, независимо от того, какое предприятие их производит, и различаются только присвоенными им номерами.

Базовый элемент ТТЛ представляет собой многовходовую переключательную схему, электрическое (и соответственно логическое) состояние на выходе которой определяется комбинацией входных сигналов. ТТЛ ИС обладают достаточно высоким быстродействием. Фронты сигналов ТТЛ ИС равны 2 – 8 нс, а задержки распространения сигнала составляют 10 – 30 нс. Потребляемая мощность, составляющая около 19 мВт на элемент (для одной из серий ТТЛ), является от-

носительно невысокой. ТТЛ ИС обладают сравнительно хорошей помехоустойчивостью и высокой нагрузочной способностью. Минимальная нагрузочная способность для любой серии ТТЛ ИС составляет не менее пяти единиц.

Каждая ТТЛ ИС представляет собой миниатюрный кристалл кремния площадью от 1 до 2,5 мм^2 и толщиной около 0,1 мм. Кристалл помещен в корпус, имеющий гораздо большие размеры, который защищает ИС от внешних воздействий и повреждений. Для большинства ТТЛ ИС 155-й серии применяют пластмассовый прямоугольный корпус 201.14-1, имеющий 14 выводов.

ТТЛ-элементы пришли на смену элементам ДТЛ, так как многоэмиттерный транзистор ТТЛ-элемента занимал на кристалле меньшую площадь, чем диодная сборка, а также обладал меньшей паразитной ёмкостью. Затем появились ЛЭ ТТЛШ, в которых применяются *транзисторы Шоттки*, причем в первых модификациях микросхемы ЛЭ ТТЛШ повторяли структуру элементов ТТЛ, а в последующих имели небольшие отличия.

Затем появились ШТЛ ЛЭ, в которых многоэмиттерный транзистор был заменен на диодную сборку, но не на обычных диодах, а на *диодах Шоттки*, обладающих более высокой скоростью переключения и занимающих малую площадь. Хотя такие элементы следовало бы отнести к ДТЛ, принято причислять их к элементам ТТЛ.

2. Принцип действия базового элемента ТТЛ

Классической структурой элемента ТТЛ является схема базового вентиля, выполняющего базисную логическую функцию «И-НЕ», серий 133 и 155. Эти ЛИС являются полными аналогами соответствующих серий SN54 и SN74 американской компании Texas Instruments. Схема (рис. 1) содержит входной каскад, реализующий функцию «И», фазоинверсный каскад с источником тока и выходной каскад с активной нагрузкой. Входной каскад построен на многоэмиттерном транзисторе VT1, созданном технологией микросборки специально для нужд логических ИС. Эмиттеры транзистора VT1 являются входами логического элемента и соединены с общей шиной через *антизвонные диоды* VD1 – VD2. Последние служат своего рода демпфером, защищающим VT1 от отрицательного входного напряжения. При поступлении хотя бы на один из эмиттеров потенциала, близкого к потенциалу общей шины, через эмиттерный переход, смещённый в прямом направлении, начинает вытекать весь базовый ток транзистора VT1, создавая на входе ЛЭ вытекающий *ток логического нуля* $I^0_{вх}$. Значение этого тока

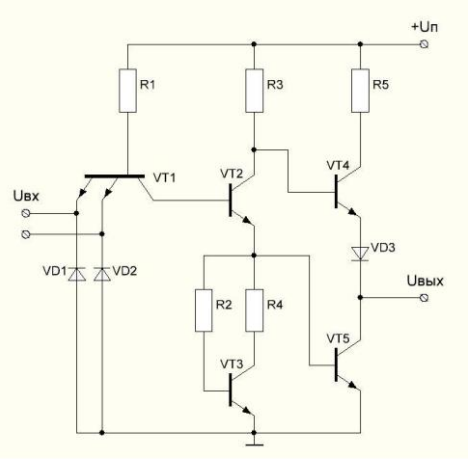


Рис. 1

ограничивается сопротивлением резистора R1. Транзистор VT1 находится в режиме насыщения, и напряжение на электродах коллектор-эмиттер невелико – порядка 0,1 – 0,15 В. В такой ситуации ток коллектора транзистора VT1 определяется током базы VT2 и пренебрежимо мал. Его величины недостаточно для отпирания транзистора VT2 фазоинверсного каскада. При таком распределении токов транзистор VT5 работает в режиме отсечки за счет практически нулевого падения напряжения на переходе база-эмиттер. Малая величина сопротивления резистора R5 (10 – 50 Ом) приводит к тому, что VT4 выполняет роль эмиттерного повторителя, работая либо в активном режиме, либо в режиме отсечки. При запертых транзисторах VT2 и VT5 транзистор VT4 работает в активном режиме, обеспечивая на выходе уровень $U^1_{вых}$, соответствующий напряжению логической единицы:

$$U^1_{вых} = U_п – I_{бVT4} \cdot R3 – U_{бVT4} – U_{VD3}.$$

Если же на все эмиттеры транзистора VT1 подать напряжение $U^1_{вх}$, равное примерно напряжению питания $U_п$, то переходы база-эмиттер транзистора VT1 сместятся в обратном направлении, а переход база-коллектор – в прямом. При этом транзистор VT1 будет работать в инверсном режиме. Токи эмиттеров этого транзистора резко сократятся (входные токи логических единиц – $I^1_{вх}$), а коллекторный ток VT1 будет втекать в базу VT2, обеспечивая его отпирание и работу в активном режиме. В таком случае транзистор VT2 фазоинверсного каскада отпирается, запирая при этом транзистор VT4 и отпирая VT5.

Включенный в коллекторную цепь транзистора VT4 диод VD3 создает необходимую при открытом до насыщения транзисторе VT5 между базой и эмиттером VT4 разность потенциалов, что обеспечивает надёжное запирание последнего. Иными словами, разность потенциалов между базой транзистора VT4 и выходом логического элемента распределяется между участком база-эмиттер транзистора VT4 и

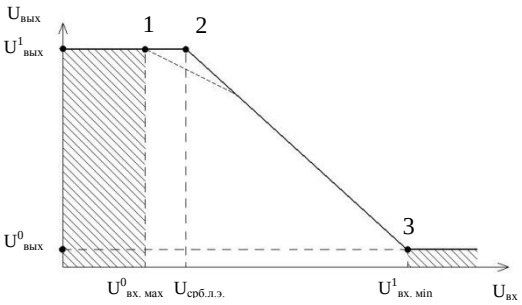


Рис. 2

диодом VD3. Таким образом, за счет полного запирания эмиттерного повторителя на VT4 и перехода в насыщение транзистора VT5 на выходе ЛЭ формируется уровень напряжения, примерно равный 0,4 В. Это напряжение есть напряжение насыщения транзистора VT5 и выходное напряжение логического нуля – $U^0_{вых}$. Эмиттерный повторитель на транзисторе VT4 способствует улучшению *переходной динамической характеристики* логического элемента. Кроме того, каскад на транзисторе VT5, являясь активной нагрузкой транзистора VT4, улучшает *нагрузочную способность* схемы.

Источник тока на транзисторе VT3, резисторах R2 и R4 обеспечивает улучшение формы передаточной характеристики ЛЭ (совокупность указанных элементов также называют *корректирующей цепочкой*). Улучшение формы передаточной характеристики и, следовательно, помехоустойчивости устройства достигается следующим способом. При отпирании транзистора VT2 напряжение на его коллекторе начинает падать, что приводит к падению напряжения на выходе ЛЭ в соответствии с приведенной выше формулой для расчета выходного напряжения логической единицы (смотри точку 1 на рис. 2). В отсутствие источника тока, место которого может занимать резистор, в точке 1 передаточной характеристики произошел бы излом, продолжение которого показано пунктиром. Этот излом вызван протеканием тока по цепи коллектор-эмиттер транзистора VT2 при его открывании. Однако падение напряжения в эмиттерной цепи VT2, в случае использования обычного резистора вместо источника тока, ещё недостаточно для отпирания VT5 и это приводит к наличию двойного излома на передаточной характеристики такого ЛЭ. При включении в эмиттерную цепь транзистора VT2 источника тока на VT3 он проявляет свойства нелинейного сопротивления в начальный период повышения $U_{вх}$ и сильно ограничивает коллекторный ток транзистора VT2, сдерживая таким образом спад выходного напряжения $U^1_{вых}$. В то же время с повышением $U_{вх}$ медленно повышается потенциал эмиттера VT2 и при

$U_{вх}=U_{сраб.л.э}$ транзистор VT5 отпирается (точка 2 на рис. 2). Как видно из рис. 2, точка излома сдвинулась вправо, повысив угол наклона передаточной характеристики. Необходимо отметить, что резкого излома в точке 2 не происходит, так как ток базы VT5 повышается плавно, и в точке 2 наблюдается относительно плавный изгиб, поэтому для выявления характерных участков кривая умышленно аппроксимирована. Когда далее $U_{вх}$ достигает значения минимально допкстимого значения выходной единицы $U^1_{вх.\ мин.}\approx 2{,}0$ В (точка 3 на рис. 2), переходные процессы заканчиваются, так как транзистор VT5 оказывается насыщенным и дальнейшее повышение $U^1_{вх}$ на потенциале и токе его коллектора практически не отражается.

Отметим ещё один немаловажный момент. Переключение ЛЭ из одного устойчивого состояния в другое сопровождается переходом одного из транзисторов VT4 и VT5 в открытое состояние, а другого в закрытое. Переключение происходит синхронно, следовательно, в течение малого промежутка времени оба этих транзистора оказываются открытыми. В это время через открытые транзисторы протекает ток, значительно превышающий величину тока в статическом режиме. Указанное приводит к тому, что в динамическом режиме наблюдаются кратковременные всплески потребляемого тока, которые несколько ограничиваются резистором R5. Это является недостатком выходного каскада с активной нагрузкой и требует принятия специальных мер по защите от возникающих помех по цепям питания. Однако отмеченный недостаток компенсируется высоким быстродействием и высокой нагрузочной способностью. Повышение быстродействия связано с сокращением времени на перезаряд выходных ёмкостей.

3. Особенности логических элементов серии 530, 531, SN54S, SN74S

Логические элементы серий 530, 531, SN54S, SN74S явились результатом совершенствования микроэлектронной технологии, позволившей на рубеже 60-х и 70-х годов начать изготовление в масштабах серийного производства *выпрямляющих контактов металл-полупроводник*, известных как переходы (или диоды) Шоттки. Технологии оригинально и просто решили актуальную для микросхемотехники задачу. Металлический слой интегрального n-p-n-транзистора, служащий для омического контакта с базой, был продлен в область коллектора, образовав с n-областью коллектора переход Шоттки. На схеме рис. 3 присутствуют такие транзисторы (их ещё называют *транзисторы Шоттки*), при их обозначении на принципиальных схемах

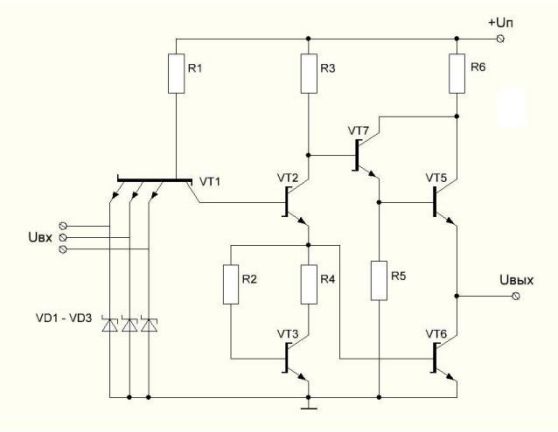


Рис. 3

базовый электрод имеет штрихи, направленные в разные стороны. Таким образом, без введения дополнительных технологических операций переход база-коллектор оказался зашунтированным диодом Шоттки. Это обеспечило появление в схеме *нелинейной отрицательной обратной связи*, которая позволила в несколько раз сократить время рассасывания неосновных носителей заряда в базе транзистора при формировании положительного фронта выходного импульса. Уменьшение времени рассасывания неосновных носителей заряда позволило сократить *среднее время задержки распространения сигнала* в таких ЛИС.

Идея использования нелинейной отрицательной обратной связи для повышения быстродействия транзисторных ключей состоит в следующем. Известно, что время, затрачиваемое на формирование фронта выходного импульса, определяется рассасыванием неосновных инжектированных носителей, когда транзистор переходит из насыщения в область отсечки. Поэтому разумным является поиск решения, исключающего переход транзистора в глубокое насыщение. Это может быть достигнуто путем приложения к переходу база-коллектор запирающего напряжения. Если между базой и коллектором включить диод Шоттки, подключенный анодом к базе, то при отпирании транзистора на коллекторе установится потенциал, отпирающий диод Шоттки. Напряжение отпирания диода Шоттки составляет 0,4 … 0,5 В, т.е. меньше, чем падение напряжения на переходе база-коллектор, поэтому диод Шоттки откроется раньше, чем этот переход. «Лишний» базовый ток пойдет в цепь коллектора и не будет перенасыщать базу неосновными носителями заряда. Таким образом, коллекторный переход будет смещён в обратном направлении и режим перенасыщения будет практически исключён.

Важным достоинством диодов Шоттки, помимо низкого порогового напряжения, является отсутствие *инжекции неосновных носите-*

лей заряда, в связи с чем при выключении не затрачивается время на рассасывание избыточного заряда и время переключения таких диодов составляет 0,1 нс. Если бы в качестве шунтирующего элемента был применен p-n-переход, то аналогичный результат не был бы достигнут, поскольку тогда потребовалось бы время на рассасывание неосновных носителей, но уже из p-n-перехода.

Возвращаясь к схеме ЛЭ (рис. 3), отметим, что замена антизвонных диодов на p-n-переходе на аналогичные диоды Шоттки привела к повышению быстродействия таких ИС в силу описанных свойств таких диодов. Применение в качестве выходного каскада для формирования логической единицы схемы составного эмиттерного повторителя (схемы Дарлингтона) на VT4 и VT5 приводит к повышению нагрузочной способности, а также положительно сказывается на динамических характеристиках. Причем транзистор VT5 в процессе работы ИС в насыщение не входит и не требует исполнения в виде транзистора Шоттки.

4. Особенности логических элементов серии 533, 555, SN54LS, SN74LS

Следующим субсемейством являются ЛИС серий 533, 555, SN54LS, SN74LS. В этих сериях многоэмиттерный транзистор, реализующий логическую функцию «И», заменен диодным логическим элементом, состоящим из матрицы диодов Шоттки (рис. 4).

Логическая функция «И» реализуется на диодах VD1 – VD3 и резисторе R1, а далее следует фазоинверсный каскад VT1 с источником тока на транзисторе VT2 и выходной двухтактный каскад VT3 – VT5. Транзисторы всех каскадов, подобно ЛИС на рис. 3, содержат переходы Шоттки.

При подаче на катод одного из диодов VD1 – VD3 потенциала низкого логического уровня $U^0_{вх}$ транзистор VT1 запирается, так как напряжение $U_{бэVT1}=U^0_{вх}+U_{VD1,2,3}+U_{бэVT5}$ оказывается недостаточно для его отпирания (здесь $U_{VD1,2,3}$ – падение напряжения на одном из диодов VD1 – VD3). Ток базы транзистора VT1 практически отсутствует, а входной ток $I^0_{вх}$ определяется в основном сопротивлением резистора R1. На коллекторе VT1 устанавливается потенциал, отпирающий транзисторы VT3 и VT4, и на выходе логического элемента устанавливается напряжение логической единицы ($U^1_{вых}$).

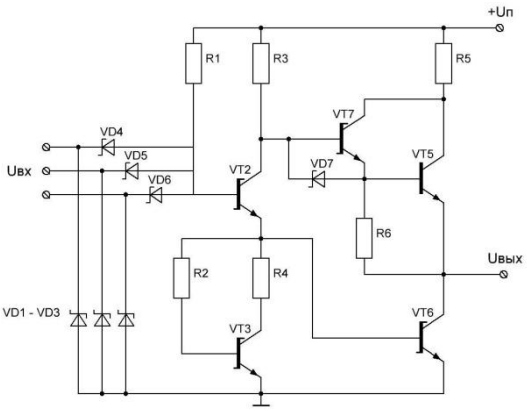


Рис. 4

В случае если на все входы поступает сигнал логической единицы, то через диоды VD1 – VD3 начинает течь обратный ток, не превышающий 20 мкА и являющийся входным током логической единицы ($I^1_{вх}$). Появившийся потенциал на базе VT1 оказывается достаточным для отпирания VT1, он отпирается, и далее формируется уровень логического нуля ($U^0_{вых}$) на выходе схемы.

Принцип действия каскадов на транзисторах VT2 – VT5 аналогичен работе каскадов описанных ранее серий, за небольшим исключением. Резистор R6 в этой схеме подключен уже не к общему проводу, а к коллектору транзистора VT5. Это позволяет сократить потребление тока при логической единице на выходе. Кроме того, коллектор VT1 через диод VD7 подключен к выходу схемы, что позволяет при переключении повысить коллекторный ток VT1 за счет разряда нагрузочной ёмкости этого каскада, а следовательно, увеличить быстродействие ЛИС.

По сравнению с ИС предыдущих серий, в этом субсемействе почти на порядок снижена удельная потребляемая мощность. В то же время существенное повышение экономичности привело к некоторому понижению быстродействия.

5. Особенности логических элементов серий 1533, SN54ALS, SN74ALS

Сериями ЛИС, в которых одинаково хорошо сочетаются экономичность и быстродействие, являются ЛИС серий 1533, SN54ALS, SN74ALS.

По сравнению с субсемейством 133, 155 и другими работа переключения в них снижена в 25 раз. Столь значительное повышение показателей связано с применением улучшенной технологии создания маломощных транзисторов и диодов Шоттки ALS (Advanced Low-power Schottky), разработанной фирмой Texas Instruments Inc. В схемотехническом же плане (рис. 5) отличие заключается в применении эмиттерного повторителя VT1 на входе. Это привело к двукратному снижению входного тока $I^0_{вх}$ по сравнению с ЛИС серий 533, 555 и др. Диод VD2 позволяет разрядить входную ёмкость транзистора VT3 через открытый выходной транзистор логического элемента, подключенного к входу. Это также вносит свой вклад в увеличение быстродействия логических элементов этой серии. Сравнительные характеристики элементов ТТЛ различных серий представлены в таблице.

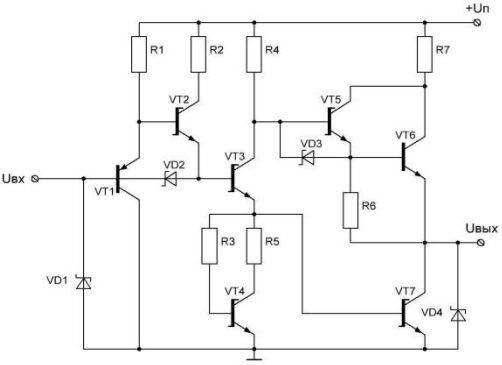


Рис. 5

Серия	$I^0_{вх}$, мА	$I^1_{вх}$, мА	$U^0_{вх}$, В	$U^1_{вх}$, В	$K_{раз}$	$t^{0,1}_{зд.р}$, нс	$t^{1,0}_{зд.р}$, нс	$P_{ср}$, мВт	U^0, В	$f_п$, МГц
133	1,6	0,04	0,4	2,4	10	15	22	22	0,4	10
К155	1,6	0,04	0,4	2,4	10	15	22	22	0,4	10
130	2,3	0,07	0,35	2,4	10	10	10	44	0,4	30
К131	2,3	0,07	0,35	2,4	10	10	10	44	0,4	30
134	0,18	0,012	0,3	2,3	10	100	100	2	0,35	3
158	0,15	0,01	0,3	2,4	10	70	70	5	0,3	14
530	2	0,05	0,5	2,7	10	5	4,5	19	0,5	50
К531	2	0,05	0,5	2,7	10	5	4,5	19	0,5	50
1531	1	0,05	0,5	2,7	10	2,7	2,7	4	0,5	60
1533	1	0,05	0,5	2,7	10	4	4	1	0,5	15
533	1	0,05	0,4	2,5	10	20	20	3,8	0,5	10
555	1	0,05	0,5	2,7	10	20	20	3,7	0,5	10

Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в методических указаниях к лабораторной работе, лекционный материал, а также дополнительную литературу.

Порядок выполнения работы

1. Получить у преподавателя вариант задания согласно номеру бригады.
2. Используя графический редактор программы MicroCap 9, сформировать на экране схему ТТЛ элемента с резистором вместо корректирующей цепочки.
3. Получить на экране графики передаточной характеристики логического элемента.
4. Подключить корректирующую цепочку и вновь получить передаточную характеристику ЛЭ. Сравнить эти характеристики и определить максимальную амплитуду помехи для ЛЭ с корректирующей цепочкой и без неё. Исследовать влияние изменения температуры на передаточную характеристику ЛЭ.
5. Получить на экране входную характеристику ЛЭ.
6. Получить на экране переходную характеристику ЛЭ и определить время перехода выходного напряжения из «0» в «1» и из «1» в «0», уровни напряжений логического «0» и логической «1», а также время задержки распространения сигнала.
7. Получить на экране эпюры переходного процесса в ЛЭ для выходного напряжения, тока базы транзистора VT2, тока базы транзистора VT4, тока коллектора VT5 и тока потребления от источника питания.
8. Подключить к выходу ЛЭ эквивалентную резистивно-емкостную нагрузку и произвести действия по пункту 6. Сравнить полученные результаты.

Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схему ТТЛ, основные графики и параметры, полученные в ходе выполнения лабораторной работы.

Контрольные вопросы

1. Рассказать общие сведения о базовом элементе ТТЛ.
2. Объяснить принцип работы базового элемента ТТЛ.
3. Рассказать об особенностях логических элементов ТТЛШ.
4. Рассказать об особенностях маломощных элементов ТТЛ.

Лабораторная работа № 2

Исследование характеристик элемента ЭСЛ

Цель работы: изучение передаточной и переходной характеристик и измерение основных параметров элементов эмиттерно-связанной логики.

Теоретические сведения

1. Интегральные схемы эмиттерно-связанной логики

Рассмотренные выше схемотехнические решения базовых логических элементов, предусматривающие использование биполярных транзисторов (БТ), имеют один общий принципиальный недостаток. Этот недостаток заключается в том, что переключательный транзистор в этих схемах работает в режиме насыщения. Глубокое насыщение транзистора и даже ограничение насыщения с помощью диода Шоттки, шунтирующего коллекторный переход в БТ в ТТЛ-схемах, обусловливают накопление избыточного заряда неосновных носителей в рабочих областях транзистора. Рассасывание этого избыточного заряда в основном и определяет время переходных процессов в таких схемах. Поэтому логичным представляется создание схем с *ненасыщенным режимом работы переключательных транзисторов.*

Одним из таких схемотехнических решений и является *эмиттерно-связанная логика* (ЭСЛ). Ненасыщенный режим работы транзисторов достигается применением соединенных эмиттерами транзисторных *переключателей тока,* работающих либо в активном режиме, либо в режиме отсечки. Рабочий ток схемы задается специальным *генератором тока*, включенным в эмиттерные цепи БТ. Ненасыщенный режим работы БТ позволяет увеличивать рабочие токи, необходимые для быстрой зарядки паразитных ёмкостей, и, таким образом, свести к минимуму время включения переключательного элемента без увеличения времени выключения БТ, как это имеет место в схемах насыщенного типа. Поэтому базовые *элементы ЭСЛ обладают наибольшим быстродействием*. Однако высокое быстродействие в таких схемах достигается путем протекания больших токов через схему, а следовательно – увеличенным энергопотреблением.

В нашей стране были выпущены несколько серий элементов ЭСЛ (К137, К187, К229, 100, К500, 500 и др.), обладающих функциональной и технической полнотой, т. е. обеспечивающих выполнение любых арифметических и логических операций, вспомогательных и специальных функций, а также хранение.

2. Принцип действия базового элемента ЭСЛ

Схема базового элемента ЭСЛ представлена на рис. 1. Назначение элемента – реализация логический функции «ИЛИ», а также «ИЛИ-НЕ» в положительной логике. Уровень логической «1» ограничен пределами от -0,7 В до -0,95 В (в среднем -0,8 В), а уровень логического «0» - пределами от -1,45 В до -1,9 В (в среднем -1,7 В).

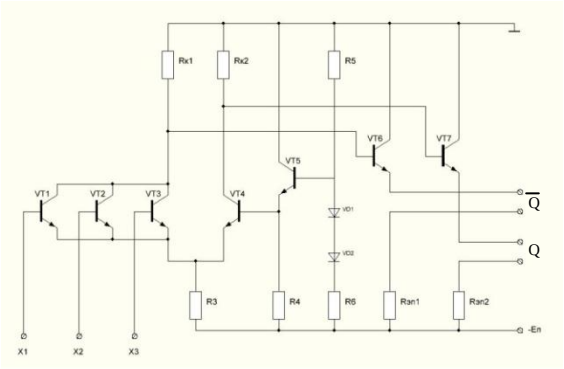


Рис. 1

Если хотя бы на одном из входных разъёмов X установлено напряжение -0,8 В, то на выходе Q должно установиться напряжение -0,8 В, а если на всех входах напряжение равно -1,7 В, то на выходе Q должен установиться уровень -1,7 В.

Другое распространенное название элемента ЭСЛ – «токовый переключатель», отражающее тот факт, что в схеме под действием входных сигналов ток I_0 может переключаться из одной цепи в другую, вызывая требуемые изменения выходного напряжения. В элементе ЭСЛ уровни входных сигналов выбраны по отношению к опорному напряжению ($U_{оп}$ = -1,25 В, т. е. $U_{б\ VT4}$) такими, что если открыт транзистор VT4, то весь ток будет протекать через него, а если открыт хоть один из транзисторов VT1- VT3, то закрытым оказывается VT4 и весь ток I_0 протекает через открытый (открытые) транзистор(ы). Рассмотрим такой пример. Пусть на входы X1-X3 поданы напряжения логических нулей ($U_{б1}=U_{б2}=U_{б3}$=-1,7 В). Потенциал объединённых эмиттеров в этом случае будет равен примерно -2 В. При этом ток через транзисторы VT1- VT3 не течет, так как для их отпирания необходим такой

потенциал базы, который бы превышал потенциал эмиттера хотя бы на 0,6 – 0,7 В. Аналогичным образом можно показать, что если хотя бы на одном из входов, например входе X1, установлен уровень напряжения -0,8 В, а на остальных входах – уровень -1,7 В, то открыт транзистор, соответствующий этому входу, а транзисторы VT2, VT3 и, что особенно важно, VT4 закрыты. В первом случае напряжение $U_{вых. пр.}$= -1,7 В (0,9 В – падение напряжения на резисторе $R_к$ от протекания тока $I_п$ плюс к тому 0,8 В – падение напряжения на эмиттерном переходе VT5), а напряжение на $U_{вых. инв}$= -0,8 В (падение напряжения на эмиттерном переходе VT6). Во втором случае напряжение $U_{вых. пр}$= -0,8 В, а напряжение $U_{вых. инв}$ = -1,7 В.

Назначение эмиттерных повторителей на транзисторах VT6 и VT7:

- сдвиг уровней выходного напряжения для согласования напряжений $U_{вх}$ и $U_{вых}$;
- обеспечение высокой нагрузочной способности ЛЭ;
- обеспечение возможности реализации функции «монтажное ИЛИ».

При реализации функции «монтажное ИЛИ» используется только один из резисторов $R_{эп}$. Число элементов ЭСЛ, выходные сигналы которых определяются по «ИЛИ», ограничено. Так, например, для элемента К137ЛМ1, согласно справочным данным, это число равно 5.

3. Интегральные схемы ЭСЛ серии 500

Дальнейшее развитие схем нашло отражение в схемах 500-й серии, послужившей элементной базой ЕС ЭВМ второй очереди (ЕС-1035, ЕС-1045, ЕС-1065). Основные параметры ЭСЛ ИС серии 500 таковы: $t_{зд}$=1,5…2 нс, P=25 мВт (в ненагруженном состоянии), степень интеграции – до 75 ЛЭ на кристалл, логический перепад $\Delta U_л$=0,8 В. В функциональный набор элементов входит более 40 элементов. Следует также отметить, что расширение логических возможностей элементов осуществлено за счет применения двух- и даже трехуровневого переключения тока в токовых переключателях (ТП).

В качестве примера рассмотрим синхронный D-триггер К500ТМ130, в котором применено типичное двухуровневое переключение тока, схема которого приведена на рис. 2.

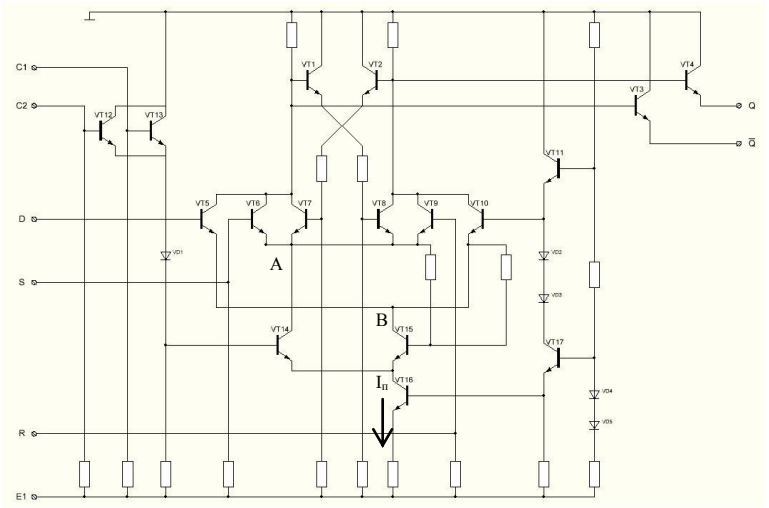


Рис. 2

Управление током осуществляется на двух уровнях: нижнем – ток $I_п$ может переключаться в транзистор VT14 либо в транзистор VT15 и в верхнем – этот ток, пройдя транзистор VT14, может протекать либо через транзисторы VT6, VT7, либо через транзисторы VT8, VT9. Ток $I_п$, пройдя через транзистор VT15, может проходить затем либо через транзистор VT5, либо через транзистор VT10.

Транзисторы VT1, VT2 с соответствующими резисторами образуют бистабильную ячейку, в которой установление в открытое состояние одного из транзисторов приводит к запиранию другого. Транзисторы VT11 и VT17 входят в систему делителя напряжения, который обеспечивает стабильные уровни опорных напряжений, подаваемых на базы транзисторов VT10, VT15 и VT16.

Транзисторы VT12 и VT13 образуют схему «ИЛИ» для положительных синхросигналов C1 и C2. Достаточно подать высокий уровень напряжения на один из входов схемы, чтобы транзистор VT14 открылся (и обеспечил прохождение тока $I_п$ в узел A) и закрылся транзистор VT15. Транзистор VT16 обеспечивает стабильность тока $I_п$.

Временные диаграммы триггера приведены на рис. 3. Как видно из этого рисунка, информация записывается в триггер (см. диаграмму Q) при подаче низких уровней напряжений на входы синхронизации

C1 и C2 и запоминается при переключении сигнала на C1 с низкого уровня на высокий. Синхросигнал C1 поступает на вход триггера постоянно, а синхросигнал C2 только тогда, когда нужно заблокировать триггер по входу D, что достигается отпиранием транзистора VT14 и запиранием транзистора VT15. При этом ток $I_п$ в узел B не проходит.

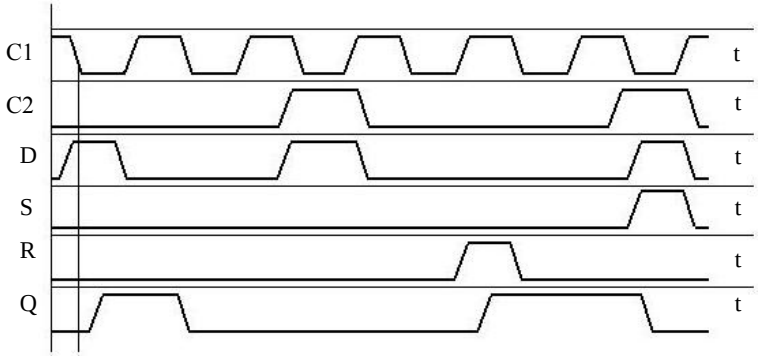


Рис. 3

При необходимости установки триггера в состояние «1» или «0» независимо от сигнала B высокий уровень напряжения подается на вход S или на вход R соответственно. В последнем случае транзистор VT14 должен быть заперт. Одновременно подача сигналов S и R недопустима.

Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в методических указаниях к лабораторной работе, лекционный материал, а также дополнительную литературу.

Порядок выполнения работы

1. Получить у преподавателя вариант задания согласно номеру бригады.
2. Используя графический редактор программы MicroCap 9, сформировать на экране схему ЛЭ на основе схемотехники ЭСЛ с резистором в цепи эмиттера.
3. Получить на экране передаточные характеристики ЛЭ.

4. Подключить вместо эмиттерного резистора генератор тока (величина тока должна быть такой же, как и в пункте 2) и вновь получить передаточную характеристику ЛЭ. Сравнить эти характеристики и оценить влияние температуры на передаточную характеристику ЛЭ.

5. Получить на экране входную характеристику ЛЭ.

6. Получить на экране переходную характеристику ЛЭ и определить время перехода выходного напряжения из «0» в «1» и из «1» в «0», уровни напряжений логического «0» и логической «1», а также время задержки распространения сигнала.

7. Подключить к выходу ЛЭ по указанию преподавателя эквивалентную резистивно-емкостную нагрузку и произвести действия по пункту 6. Сравнить полученные результаты.

Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схему ЛЭ, основные графики и параметры, полученные в ходе выполнения лабораторной работы.

Контрольные вопросы

1. Рассказать общие сведения о базовом элементе ЭСЛ.
2. Объяснить принцип работы базового элемента ЭСЛ.
3. Объяснить принцип работы синхронного D-триггера на ЭСЛ элементах.
4. Нарисовать и объяснить временные диаграммы синхронного D-триггера.

Лабораторная работа № 3

Исследование характеристик элемента И²Л

Цель работы: изучение передаточной и переходной характеристик элемента и влияние на них различных факторов.

Теоретические сведения

Схемы интегральной инжекционной логики ($И^2Л$) представляют собой микросхемы на биполярных транзисторах, в которых энергия, необходимая для преобразования сигнала, обеспечивается током, подводимым специальной схемой, называемой инжектором. Для выяснения принципа действия схем с инжекционным питанием рассмотрим схему на рис. 1, которая может выполнять функцию инвертора логических переменных. Обведенная штриховой линией часть схемы называется инжектором, по структуре и принципу действия это источник тока $I_и1$. Ток $I_и1$ в зависимости от состояния транзистора VT1 может замыкаться по одному из двух путей. Если транзистор VT1 открыт, то ток $I_и1$ течет в коллекторную цепь этого транзистора, а если закрыт – в базовую цепь транзистора VT2.

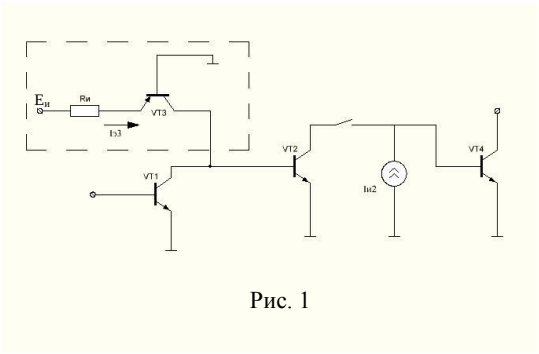


Рис. 1

На рис. 2 представлены входные ВАХ инжектора и транзистора VT1, а также ВАХ входной цепи транзистора VT2. Из графического построения видно, что точка 1 определяет значение U^0, а точка 2 – значение U^1. Таким образом, логический перепад $\Delta U= U^1 – U^0$ составляет 0,4 – 0,7 В и зависит от тока $I_э$. Этот ток можно задавать, варьируя его значения в широких пределах от микроампер до миллиампер. Точки 1, 2 показывают, какими становятся значения ΔU, U^1, U^0 при токе $I^1_{и1}$. Транзистор VT3 формально работает в режиме насыщения $U_к>0$, но поскольку в кремниевых транзисторах

ВАХ любого перехода, в том числе и коллекторного, имеет так называемую «пятку», то достаточно сделать напряжение $U_к$ хотя бы на 0,1 В меньше, чем напряжение $U_э$, чтобы исключить инжекцию неосновных носителей заряда через коллекторный переход и обеспечить постоянство тока коллектора $I_к=I_и1$ и в области $U_к>0$. Это условие также отражено на рис. 2.

Напряжение $E_и$ выбирают небольшим – в пределах 1,5 В. Изменяя $R_и$, можно задавать различные токи $I_э$ и соответственно различные токи $I_и1$.

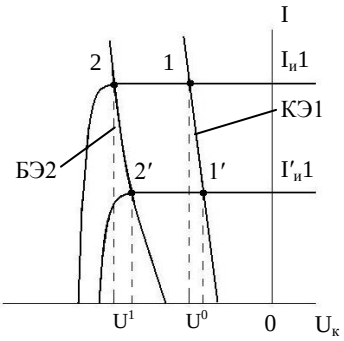


Рис. 2

Принцип действия логического инвертора (рис. 1) понять несложно, следует только подключить к выходу рассматриваемого элемента аналогичный элемент (транзистор VT4, инжектор $I_и2$). Если открыт транзистор VT1, то напряжение $U_{б2}$ устанавливается на уровне U^0, транзистор VT2 при этом закрыт, так как входная ВАХ транзистора имеет «пятку». Ток инжектора $I_и$ замыкается через коллекторную цепь насыщенного транзистора VT1.

Если заперт транзистор VT1, то транзистор VT2 открыт, ток $I_и$ замыкается через его базовую цепь и напряжение $U_{б2}$ становится равным U^1 (напряжение логической единицы). Структура и конфигурация типичной ИС с инжекционным питанием приведены на рис. 3. Области p, n, p образуют горизонтальный транзистор, входящий в схему инжектора, а n, p, n^+ – вертикальный транзистор, имеющий два кол-

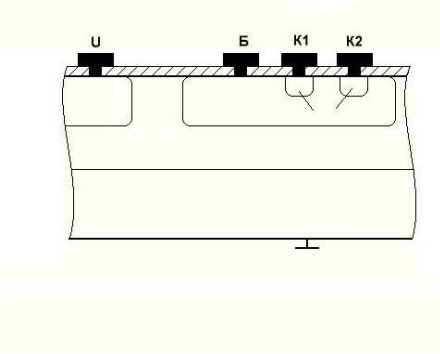
p p n^+

n

n^+

Рис. 3

лектора.



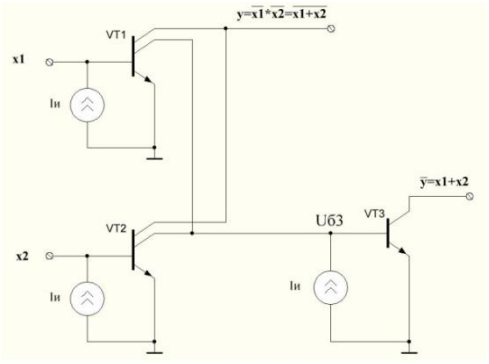


Рис. 4

Площадь коллектора вертикального транзистора меньше площади эмиттера, и этот транзистор работает в инверсном включении. Такая конструкция размещается на малой площади, но при инверсном включении транзистора возникает проблема обеспечения коэффициента В, достаточного для ввода открытого транзистора в насыщение. Правда, описанная проблема не очень острая. Из рис. 3 видно, что через инжектор проходит в коллекторную цепь транзистора, например VT1, такой же ток, что и ток $I_б$, обеспечиваемый таким же инжектором, подключенным к базе этого транзистора, поэтому для обеспечения насыщения транзистора VT1 необходимо и достаточно иметь В>1.

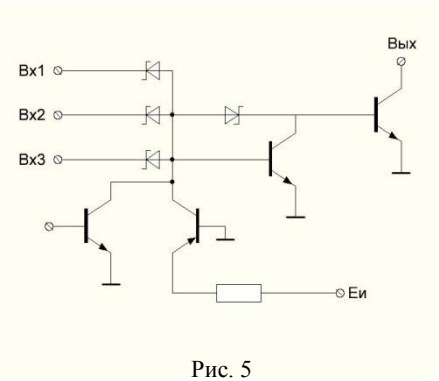


Рис. 5

Схема «ИЛИ-НЕ» и «ИЛИ» приведена на рис. 4. Проверим, как реализуется функция $\bar{y} = x_1 + x_2$ при условии x_1=0 и x_2=0. При таком сочетании сигналов транзисторы VT1 и VT2 заперты, $U_{б3}=U^1$, транзистор VT3 открыт и насыщен, тогда $\bar{y}$=0. Если хотя бы на одном из входов, например на входе 1,

сигнал x_1=1, то транзистор VT1 открыт, потенциал $U_{б3}=U^0$, транзистор VT3 заперт и выходной сигнал $\bar{y}$=1.

Достоинством схем И^{2}Л по сравнению со схемами ТТЛ является возможность получения в 1000 раз меньшего произведения $P \cdot t_{зд.ср}$. Схемы И^{2}Л могут работать в широком диапазоне изменения тока $I_и$ от микроампер до миллиампер. Для повышения быстродействия и расширения логических возможностей элементов инжекционной логики применяют диоды и транзисторы Шоттки (см. рис. 5).

Существенным недостатком схем И^{2}Л с непосредственными связями являются ограниченные функциональные возможности. Схемотехника инжекционной логики с непосредственными связями не позволяет реализовать комплексные логические вентили, содержащие одновременно элементы «И-НЕ» и «ИЛИ-НЕ». Поэтому с целью расширения функциональных возможностей в обычную схему элемента И^{2}Л между коллектором p-n-p и базой n-p-n транзистора вводят дополнительные транзисторы p-n-p-типа. Такое подключение позволяет расширить функциональные возможности формирования логических структур на инжекционных элементах.

Обычно при формировании БИС на биполярных транзисторах для уменьшения потребляемой мощности и увеличения быстродействия сложную логическую структуру БИС выполняют на элементах инжекционной логики. При вводе сигналов в микросхему используют буферные схемы, переводящие внешние логические сигналы в сигналы управления инжекционной логикой. При выводе же сигналов за пределы БИС (на внешние выводы микросхемы) применяют специальные буферные схемы, которые обеспечивают переход сигналов в стандартные логические уровни (обычно – ТТЛ) и высокую нагрузочную способность при работе таких БИС в составе электронного оборудования в радиоэлектронных системах различного типа.

Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в методических указаниях к лабораторной работе, лекционный материал, а также дополнительную литературу.

Порядок выполнения работы

1. Получить у преподавателя вариант задания согласно номеру бригады.

2. Используя графический редактор программы MicroCap 9, сформировать на экране ЛЭ на основе схемотехники $И^2Л$ с идеальным генератором инжекционного тока.

3. Получить на экране графики передаточной характеристики ЛЭ.

4. Подключить вместо идеального генератора инжекционного тока генератор тока на p-n-p транзисторе (величина тока должна быть такой же, как и в пункте 2). И вновь получить передаточную характеристику ЛЭ. Сравнить эти характеристики и исследовать влияние температуры на передаточную характеристику ЛЭ.

5. Получить на экране переходную характеристику ЛЭ и определить время перехода выходного напряжения из «0» в «1» и из «1» в «0», уровни напряжений логического «0» и логической «1», а также время задержки распространения сигнала.

6. Подключить к выходу ЛЭ по указанию преподавателя эквивалентную резистивно-емкостную нагрузку и произвести действия по пункту 5. Сравнить полученные результаты.

Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схему ЛЭ, основные графики и параметры, полученные в ходе выполнения лабораторной работы.

Контрольные вопросы

1. Рассказать общие сведения о базовом элементе $И^2Л$.
2. Объяснить принцип работы базового элемента $И^2Л$.
3. Нарисовать и объяснить схемы элементов «ИЛИ-НЕ» и «ИЛИ» на $И^2Л$ элементах.
4. Достоинства и недостатки $И^2Л$.

Лабораторная работа № 4

Исследование характеристик логического элемента на основе КМОП-структур

Цель работы: изучение передаточной и переходной характеристик элемента и влияние на них различных факторов.

Теоретические сведения

1. Интегральные схемы на основе КМОП-структур

Первые интегральные схемы на транзисторах типа металл-диэлектрик-полупроводник появились в 1964 году. Поскольку в качестве диэлектрика в таких транзисторах применяется оксид кремния, то такие транзисторы также называют МОП-транзисторами (металл-окисел-полупроводник) или МОП-структурами. Схемы на таких транзисторах наиболее широко применяются в настоящее время в больших и сверхбольших интегральных схемах (БИС и СБИС соответственно). На основе таких структур создаются такие функционально законченные узлы, как постоянные и оперативные запоминающие устройства (ЗУ), электронные калькуляторы, микропроцессоры (МП) и любые другие вычислительные устройства.

В МОП интегральных схемах (ИС) можно выделить 3 направления: ИС на МОП-транзисторах p-типа, ИС на МОП-транзисторах n-типа и ИС на комплементарных МОП-транзисторах (КМОП). Значение первого направления в настоящее время близко к ничтожно малому; что же касается второго и третьего, то они конкурируют друг с другом, причем по мере возрастания плотности размещения и числа элементов на кристалле третье направление уверенно опережает второе.

Основные серии элементов на комплементарных транзисторах (их иногда называют элементами с дополнительной симметрией; дополняющими транзисторами, транзисторами с разным типом прово-

димости; комплементарными структурами) относятся к потенциальным элементам.

Существует несколько разновидностей элементов ИС на КМОП-транзисторах, в том числе 164, К176, К564, 764, 765. Эти серии обладают функциональной и технической полнотой, т. е. обеспечивают выполнение любых арифметических и логических операций, вспомогательных и специальных функций, а также хранение.

Цифровые интегральные схемы на КМОП-транзисторах - наиболее перспективные. Мощность потребления таких ИС в статическом режиме не превышает десятков нановатт, быстродействие – 10 МГц. Среди ИС на МОП-транзисторах ИС на КМОП-транзисторах обладают наивысшей помехоустойчивостью: 40…45 % от величины напряжения питания. Отличительная особенность ИС на КМОП-транзисторах – высокая эффективность использования источника питания. В этих логических элементах перепад выходного напряжения почти равен напряжению источника питания. Такие ИС не чувствительны к изменению напряжения питания. В элементах на КМОП-транзисторах полярности и уровни входных и выходных напряжений совпадают, что позволяет использовать непосредственные связи между элементами.

Основными логическими элементами указанных серий являются элементы «И-НЕ»; «ИЛИ-НЕ», а базовым логическим элементом, на основе которого реализованы элементы «И-НЕ»; «ИЛИ-НЕ», - инвертор (элемент, выполняющий логическую функцию «НЕ») на КМОП-транзисторах.

2. Инвертор на транзисторах с разным типом проводимости

На рис. 1 приведена схема инвертора, содержащая транзисторы с индуцированными каналами n- и p-типов. Характерной чертой инвертора является то, что входное напряжение управляет не только нижним (ключевым), но и верхним (нагрузочным) транзистором. Принцип действия инвертора может быть ясен при помощи рис. 2. Обычно напряжение питания микросхем выбирают из условия

$$|U_{пор\ p}| + |U_{пор\ n}| < |E_п|.$$

Уровни входных и выходных сигналов в таких схемах составляют 0 В и $E_п$. При $U_{вх}$=0 транзистор VT1 заперт, так как его напряжение на затворе меньше порогового напряжения $U_з < U_{пор\ n}$. Транзистор VT2, наоборот, открыт, поскольку для него выполняется условие $(U_з + U_{ип}) < U_{пор\ р}$.

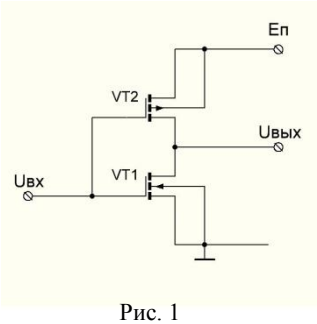


Рис. 1

Напряжение $U_{вых}$ может быть для этого случая определено следующим образом. Выходная характеристика транзистора VT2 для напряжения $U_з=E_п$ представлена на рис. 2,а кривой 1, а выходная характеристика транзистора VT1 практически совпадает с осью абсцисс (прямая 2). Их пересечение дает точку А, которая практически совпадает с точкой $E_п$ на оси абсцисс. Таким образом, при $U_{вх}$=0 получаем $U_{вых}=E_п$.

Если напряжение $U_{вх}=E_п$, то верхний транзистор заперт, а нижний открыт, режим выходной цепи определяется точкой В (рис. 2, б), которая практически совпадает с точкой 0. Таким образом, при $U_{вх}=E_п$ имеем $U_{вых}$=0.

Рассмотрение инвертора позволяет определить ряд положительных качеств КМОП-схем:

- исключительно низкое энергопотребление в любом из статических режимов;

- работоспособность в широком диапазоне изменения $E_п$;

- высокую помехозащищенность (около 40 % от величины $E_п$);

- высокую нагрузочную способность.

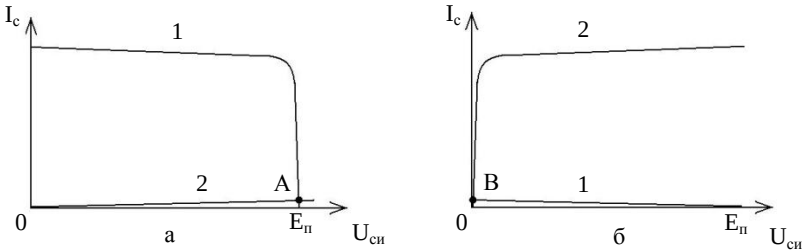


Рис. 2

Оценим мощность рассеяния инвертора с помощью формулы

$$P = P_{ст} + P_{дин},$$

где составляющая $P_{ст}$ обычно мала и ею, как правило, пренебрегают. Динамическая мощность, расходуемая во время переключения элемента, определяется как

$$P_{дин} = P_1 + P_2,$$

где P_1 – мощность, затрачиваемая во время заряда и разряда суммарной ёмкости нагрузки, а P_2 – мощность, обусловленная протеканием тока через оба транзистора во время переключения.

Рассмотрим работу инвертора от источника идеальных прямоугольных импульсов. В этом случае транзисторы мгновенно переходят из активной области в область отсечки, поэтому можно считать, что P_2=0. Для оценки мощности P_1 можно воспользоваться известной формулой

$$P_1 = E_п^2 \cdot C \cdot f,$$

где f – частота входного сигнала, а C – ёмкость нагрузки.

При работе инвертора от источников импульсов с длительностью фронтов, превышающей 100 нс, мощность $P_{дин}$ инвертора, работающего от источника питания $E_п$=10 В и имеющего выходную ёмкость

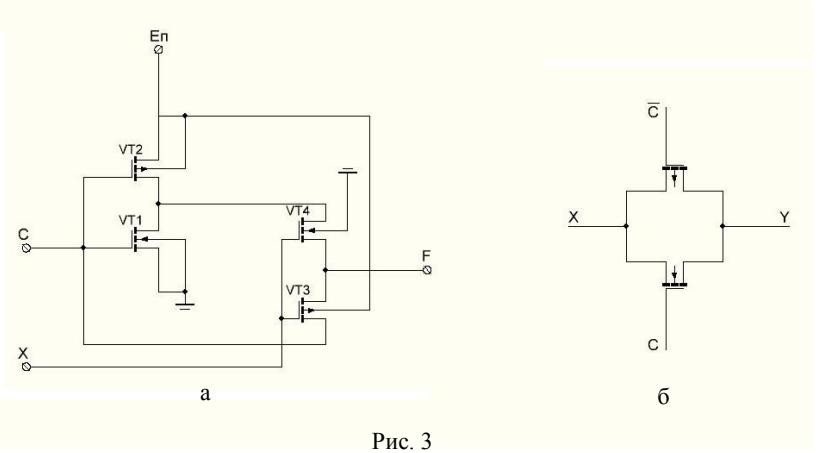


Рис. 3

C=50 пФ, возрастает за счет роста P_2. При возрастании длительности фронта входных импульсов с 0,1 мкс до 1 мкс мощность $P_{дин}$ возрастает в 1,5 раза за счет роста P_2.

3. Элементы на КМОП-транзисторах

Рассмотрим несколько схем на КМОП-транзисторах. Инвертор с трехстабильным входом, в котором дополнительно используется управление по стокам, приведен на рис. 3,а. Если C=1, то транзистор VT1 открыт и пара транзисторов VT3, VT4 может функционировать как обычный КМОП-инвертор, преобразуя сигнал X в $\overline{X}$. Если C=0, то транзисторы VT1, VT3, VT4 заперты, поэтому независимо от значения X выход схемы будет высокоомным, что соответствует третьему состоянию инвертора – «отключено».

Двунаправленый ключ на двух транзисторах с разным типом проводимости приведён на рис. 3,б. Назначение ключа – передача сигнала X в случае наличия разрешения на управляющей шине C (C=1). При C=1 и X=1 открыт транзистор p-типа, на выходе устанавливается Y=1, а если X=0, то открыт транзистор n-типа и Y=0. Если C=0, то оба транзистора закрыты, потенциал на выходе может быть любым, что соответствует Z-состоянию на выходе.

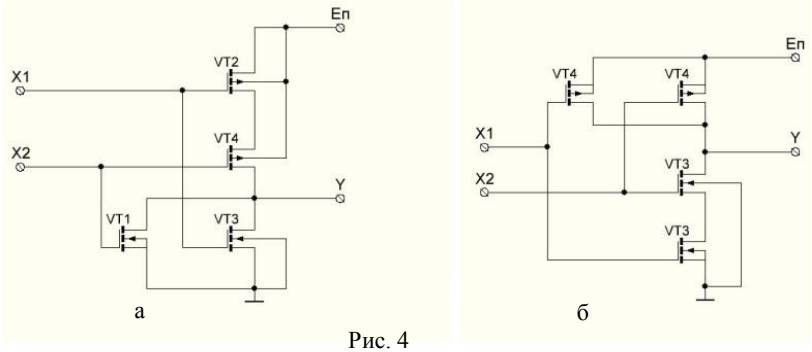


Рис. 4

На рис 4,а приведена схема «ИЛИ-НЕ», а на рис. 4,б – схема «И-НЕ». Принцип действия этих схем становится ясным из рассмотрения различных комбинаций входных сигналов. Так, например, если в схеме «И-НЕ» на все входы подать сигнал «1», то все транзисторы n-типа будут открыты, а все транзисторы p-типа будут закрыты, получаем Y=0. Если хотя бы на один из входов подан сигнал «0», то подключенный к этому входу транзистор n-типа будет заперт, а p-типа открыт, при этом Y=1. На базе схем, показанных на рис. 3, можно реализовать ряд других логических элементов. На рис. 5 показана схема элемента, реализующего логическую функцию F=A*B+B*C. Отметим, что по входам A, C передаточная характеристика элемента близка к линейной: $U_{вых}= U_{вх}$, т. е. порог переключения отсутствует. Если на входы A и C подать взаимоинверсные сигналы, то получим элементы, реализующие функцию «исключающее ИЛИ» либо «равнозначность». Выполнение таких функций на обычных элементах КМОП требует в два раза больше транзисторов, а следовательно, и большую площадь на кристалле.

Соединяя последовательно такие элементы, можно реализовать более сложные логические функции. Однако увеличение числа последовательно включенных пар приводит к увеличению задержки из-за снижения крутизны транзисторов, что вызвано увеличением суммарной длины каналов. По этой причине число таких пар в цепи обычно не превышает 2 – 3, а затем включается обычный элемент КМОП, который обеспечивает необходимый порог переключения. Таким обра-

зом, логические элементы на КМОП-структурах позволяют реализовать различные по сложности логические функции при минимальном количестве транзисторов.

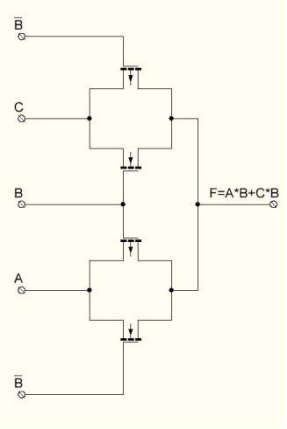


Рис. 5

В настоящее время развитие технологии позволяет реализовать КМОП-структуры с очень высоким быстродействием и объединить биполярную и КМОП технологии. Такие структуры весьма успешно конкурируют с быстродействующими биполярными структурами при применении их в БИС и СБИС и называются БиКМОП-элементами (и соответственно БиКМОП технологией). Они сочетают в себе преимущества КМОП-элементов (высокую степень интеграции и малую потребляемую мощность) и ЭСЛ-микросхем (высокое быстродействие), а по входам и выходам согласуются с ТТЛ- или ЭСЛ-микросхемами.

Развитие КМОП-структур можно проследить на примере широко применяемых сегодня микросхем статических оперативных запоминающих устройств (ОЗУ). Основными тенденциями развития КМОП СБИС ОЗУ являются неуклонный рост информативной ёмкости и быстродействия, снижение удельной потребляемой мощности и стоимости, расширение номенклатуры универсальных СБИС и ОЗУ и СБИС сверхоперативных запоминающих устройств.

Рост информационной ёмкости, улучшение электрических и эксплуатационных свойств КМОП СБИС ОЗУ связаны, в первую очередь, с масштабированием размеров МОП-транзистора в микросхеме.

Минимальные геометрические размеры МОП-транзисторов ежегодно уменьшаются в 1,2 раза. Во столько же раз увеличивается площадь кристалла СБИС. Сейчас уже достигнуты почти предельные для миниатюризации проектные нормы (примерно 0,25 мкм) и толщина затвора под диэлектриком порядка единиц нанометров, в микропроцессорах широко применяются МОП-транзисторы с длиной канала, составляющей 7 нм.

Масштабирование существенно влияет на электрические параметры МОП-транзисторов и схем. При постоянном напряжении питания оно не приводит к уменьшению рассеиваемой мощности и плотности тока. По этой причине, а также для предотвращения сквозного

обеднения канала при проектных нормах менее 0,7 мкм необходимо снижать напряжение питания до 3 В, при нормах в 0,25 мкм – до 1,5…2 В.

Для КМОП-инверторов в СБИС получены задержки примерно 20…30 пс при энергии переключения менее 10 фДж. Однако рост степени интеграции и быстродействия СБИС на КМОП-структурах ограничен. Это связано с приближением к физическому пределу степени интеграции, а также со сложностью и высокой стоимостью технологии их изготовления.

Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в методических указаниях к лабораторной работе, лекционный материал, а также дополнительную литературу по схемотехнике элементов на КМОП структурах.

Порядок выполнения работы

1. Получить у преподавателя вариант задания согласно номеру бригады.
2. Используя графический редактор программы MicroCap 9, сформировать на экране ЛЭ на основе КМОП-схемотехники.
3. Получить на экране графики передаточной характеристики ЛЭ.
4. Получить на экране переходную характеристику ЛЭ и определить время перехода выходного напряжения из «0» в «1» и из «1» в «0», уровни напряжений логического «0» и логической «1», а также время задержки распространения сигнала.
5. Подключить к выходу ЛЭ по указанию преподавателя эквивалентную резистивно-емкостную нагрузку и произвести действия по пункту 4. Сравнить полученные результаты.

Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схему ЛЭ, основные графики и параметры, полученные в ходе выполнения лабораторной работы.

Контрольные вопросы

1. Рассказать общие сведения о базовом элементе КМОП.
2. Объяснить принцип работы базового элемента КМОП.
3. Нарисовать и объяснить схемы логических элементов на КМОП.
4. Рассказать о применении КМОП-элементов в современных СБИС.

Библиографический список

1. Импульсно-аналоговая электроника и цифровые интегральные схемы: учеб. пособие для вузов/ А. А. Голиков, В. В. Меер; под ред. Л. Е. Смольникова. М.:МЭИ, 1983.

2. Алексенко А. Г., Шагурин И. И. Микросхемотехника: учеб. пособие для вузов. 2-е изд., перераб. и доп. М.: Радио и связь, 1990.

3. Соломатин Н. М. Логические элементы ЭВМ. М.: Высш. шк., 1987.

4. Новиков Ю.В. Введение в цифровую схемотехнику [Электронный ресурс] / Ю.В. Новиков. Электрон. текстовые данные. М. : Интернет-университет информационных технологий (ИНТУИТ), 2016. 392 с.

СОДЕРЖАНИЕ

Лабораторная работа № 1. Исследование характеристик элемента ТТЛ…….. 1
Лабораторная работа № 2. Исследование характеристик элемента ЭСЛ…….. 12
Лабораторная работа № 3. Исследование характеристик элемента $И^2Л$…….. 18
Лабораторная работа № 4. Исследование характеристик логического элемента на основе КМОП-структур …… .. 23
Библиографический список 31

5199

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

МИКРОСХЕМОТЕХНИКА АНАЛОГОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Методические указания
к лабораторным работам

Рязань 2017

УДК 621.384.001.63; 615.47:616-072.7

Микросхемотехника аналоговых интегральных схем: методические указания к лабораторным работам / Рязан. гос. радиотехн. ун-т; сост.: Н.В. Вишняков, В.В. Гудзев, А.Д. Маслов. Рязань, 2017. 21 с.

Содержат краткие теоретические сведения о схеме токового зеркала, дифференциальном каскаде, выходных каскадах и схемах сдвига уровня операционных усилителей, схемотехнике операционных усилителей, решающем усилителе, а также материалы для выполнения лабораторной работы по дисциплине «Микросхемотехника».

Предназначены для студентов дневного отделения направления 11.03.04.

Ил. 8. Библиогр.: 6 назв.

Токовое зеркало, дифференциальный каскад, операционный усилитель, решающий усилитель

Печатается по решению редакционно-издательского совета Рязанского государственного радиотехнического университета.

Рецензент: кафедра микро- и наноэлектроники (зав. кафедрой, д-р ф.-м. наук, проф.Т.А. Холомина)

Микросхемотехника аналоговых интрегральных схем

Составители: В и ш н я к о в Николай Владимирович
Г у д з е в Валерий Владимирович
М а с л о в Алексей Дмитриевич

Редактор М.Е. Цветкова
Корректор С.В. Макушина
Подписано в печать 10.10.17. Формат бумаги 60×84 1/16.
Бумага писчая. Печать трафаретная. Усл. печ. л. 1,25.
Тираж 30 экз. Заказ
Рязанский государственный радиотехнический университет.
390005, Рязань, ул. Гагарина, 59/1.
Редакционно-издательский центр РГРТУ.

Лабораторная работа № 1

Исследование схемы токового зеркала

Цель работы

Ознакомиться с возможностями программы Micro-Cap V (MC5), научиться исследовать простые электрические схемы.

1. Краткие теоретические сведения

Идеальный источник постоянного тока — это элемент электрической схемы, который обеспечивает ток в нагрузке, не зависящий от падения напряжения на нагрузке или от сопротивления нагрузки. Источник постоянного тока может быть управляемым, в этом случае ток источника является функцией другого напряжения или тока в системе и не зависит от напряжения на нагрузке, подаваемого с рассматриваемого источника постоянного тока.

В электронных устройствах, особенно на интегральных схемах, часто применяются источники постоянного тока и, в частности, тока, постоянного во времени. Хотя в реальном электронном устройстве невозможна реализация идеального источника постоянного тока, существуют способы, позволяющие получить очень близкую аппроксимацию такого идеального источника.

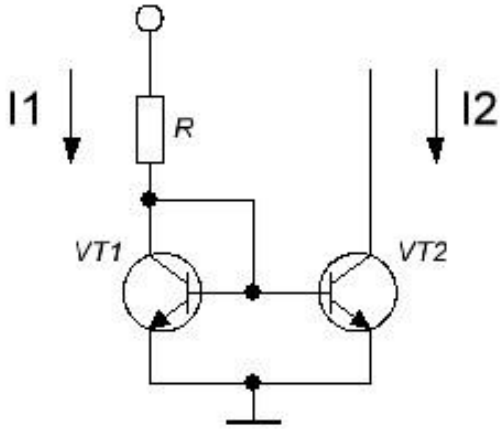


Рис. 1.

В этом случае, например, широко используется тот факт, что для транзистора в активном режиме ток коллектора относительно независим от напряжения на коллекторе. Для транзистора в активной области, или в активном режиме работы, напряжение между коллектором и эмиттером должно быть больше ~ 0,2 В, но меньше напряжения пробоя между коллектором и эмиттером, которое для транзисторов ИС составляет, по крайней мере, 50 В. В этом диапазоне напряжений ток коллектора относительно независим от напряжения между коллектором и эмиттером. Рассмотрим схему, показанную на рис. 1.

Прежде всего, предположим, что оба транзистора полностью идентичны. Поскольку базы обоих транзисторов соединены и эмиттеры подключены к общей точке, можно записать, что $V_{BE_1} = V_{BE_2}$. Таким образом, оба транзистора имеют абсолютно одинаковые напряжения между базой и эмиттером. VT1 — транзистор в диодном включении, так как его коллектор закорочен на базу, следовательно, $V_{CB} = 0$. Эмиттерный переход транзистора VT1 смещен в прямом направлении протекающим через него током I_1. Поскольку $V_{CB} = 0$, коллекторный переход заперт, поэтому VT1 работает в активной области с соответствующими параметрами.

Транзистор VT2 будет работать в активной области все время, пока напряжение на нем V_{CE_2} больше 0,2 В, но меньше напряжения пробоя. Поскольку транзисторы идентичны, оба они находятся в активной области с одинаковыми напряжениями между базой и эмиттером и коллекторные токи обоих транзисторов приблизительно равны: $I_{C_1} = I_{C_2} = I_C$. Поскольку

$$I_1 = I_{C_1} + I_{B_1} + I_{B_2} = I_C + \frac{2I_C}{\beta} = I_C\left(1 + \frac{2}{\beta}\right), \quad (1)$$

имеем

$$I_2 = I_{C_2} = I_{C_1} = \frac{I_1}{1 + \frac{2}{\beta}}. \quad (2)$$

Усиление по току β для транзисторов ИС много больше единицы, поэтому можно сказать, что $I_2 \approx I_1$. Для типичного усиления по току 100 учет влияния базового тока даст лишь 2%-ное различие между I_2 и I_1. Следовательно, на практике в большинстве случаев можно пренебречь влиянием базового тока и считать, что $I_2 = I_1$.

Рассмотренная схема называется токовым зеркалом, так как ток, текущий через левую часть схемы, является, по существу, зеркальным отражением тока в правой части. Эта схема служит основой большинства схем источников тока, а также большинства схем активной нагрузки дифференциального усилителя.

Предыдущий анализ транзисторной пары токового зеркала был проведен в предположении полной идентичности обоих транзисторов. Рассмотрим, что происходит в реальной ситуации, когда это предположение не выполняется. Например, даже у двух транзисторов ИС идентичной конструкции, которые расположены в непосредственной близости друг к другу на одном кристалле ИС, существуют небольшие различия в электрических характеристиках.

Наиболее важное различие между двумя транзисторами состоит в ширине базы. Это различие в ширине базы двух в остальном идентичных транзисторов проявляется в различии усилений по току и становится причиной напряжения смещения V_{OS}. Для схемы токового зеркала различие усилений по току не играет большой роли вследствие малости базового тока, тогда как напряжение смещения может оказаться существенным. Поэтому в паре транзисторов токового зеркала токи коллекторов не будут точно равны, а будут подчиняться соотношению

$$\frac{I_{C_1}}{I_{C_2}} = \exp\left(\frac{V_{OS}}{V_T}\right), \qquad (3)$$

где V_T — температурный потенциал. Для транзисторов идентичной конструкции, как правило, напряжение смещения порядка ±1 мВ. Это соответствует ±4%-ному различию между коллекторными токами пары транзисторов.

Диапазон напряжений, в котором схема работает приблизительно как источник постоянного тока, называется диапазоном линейного изменения напряжения. Однако даже в диапазоне линейного изменения напряжения схема является всего лишь хорошим приближением к идеальному источнику тока. В пределах этого диапазона выходной ток слабо возрастает с увеличением напряжения на источнике. Вольт-

амперная характеристика $I_{ВЫХ}(V_{ВЫХ})$ источника постоянного тока имеет приблизительно постоянный наклон в большей части диапазона линейного изменения напряжения. Этот наклон определяется производной $dI_{ВЫХ}/dV_{ВЫХ} = g_{ВЫХ}$, которая представляет собой динамическую выходную проводимость источника постоянного тока.

Величина $r_{ВЫХ} = 1/g_{ВЫХ}$ является динамическим выходным сопротивлением источника постоянного тока. Заметим, что идеальный источник тока имеет нулевую динамическую выходную проводимость и соответственно бесконечно большое выходное сопротивление. В реальных ИС выходное сопротивление составляет 100 кОм и выше.

2. Подготовка к работе

Перед началом работы рекомендуется ознакомиться с соответсвующим лекционным материалом и описанием программы MC5.

3. Порядок выполнения работы

3.1. Получите у преподавателя вариант задания согласно номеру бригады.

3.2. Используя графический редактор программы MC5, сформируйте на экране схему токового зеркала для вашего варианта задания.

3.3. Получите на экране график выходной характеристики $I_{ВЫХ}(V_{ВЫХ})$. Для этого по оси X необходимо отложить V(V1), а по оси Y — Ic(VT2). Напряжение V1 изменяется от 0 до 20 В.

3.4. Определите динамическое выходное сопротивление схемы. Для этого постройте график зависимости производной $dV_{ВЫХ}/dI_{ВЫХ}$ от выходного напряжения (в MC5 эта производная запишется как DEL(V(V1))/DEL(Ic(VT2))). В области, где выходное сопротивление постоянно, используя электронный курсор, определите его численное значение.

3.5. Постройте графики выходной характеристики при вариации коэффициента усиления транзисторов. Для этого задайте соответствующие параметры в окне **Stepping** . При этом следует построить графики для значений β=10 , β =100,
β =1000.

3.6. Определите, на сколько процентов изменится выходной ток при изменении параметра IS транзистора VT2 на 10 % (при $V_{ВЫХ}$=10 В). Для этого постройте графики выходной характеристики при вариации параметра IS транзистора VT2, используя режим **Stepping** .

4. Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схемы токовых зеркал, основные графики и параметры, полученные в результате проведения работы.

Контрольные вопросы

1. Поясните принцип работы схемы (рис. 1). Какова точность "отражения" тока?
2. Сделайте математическое описание простейшего токового зеркала на двух транзисторах.
3. Какие недостатки имеет схема токового зеркала на двух транзисторах?
4. Поясните отличия принципа работы токового зеркала Уилсона от классической схемы.
5. Укажите область применения токовых зеркал.

Библиографический список

1. Опадчий Ю. В. Аналоговая и цифровая электроника. — М.: Горячая линия - Телеком, 2005. 768 с.
2. Кучумов А.И. Электроника и схемотехника. — М.: Гелиос АРВ, 2002. 304 с.
3. Алексеенко А. Г. и др. Макромоделирование аналоговых интегральных микросхем. — М.: Радио и связь, 1983. С. 62 – 67.
4. Шило В.Л. Линейные интегральные схемы в радиоэлектронной аппаратуре. - 2-е изд., перераб. и доп. - М.: Сов. радио, 1979. С. 99 - 114.

Лабораторная работа № 2

Изучение дифференциального каскада

Цель работы

Изучить дифференциальный каскад, его основные характеристики и закрепить навыки работы с программой Microcap V.

1. Теоретические сведения

Дифференциальный каскад, одна из важнейших разновидностей транзисторных усилителей, широко применяется в аналоговых ИС различного типа: операционных усилителях, компараторах и стабилизаторах напряжения, видеоусилителях, балансных модуляторах и демодуляторах. Кроме того, на основе дифференциальных каскадов построено

большинство элементов цифровой эмиттерно-связанной логики (ЭСЛ). Дифференциальный каскад — это первый, или входной, каскад ОУ и других ИС, поэтому он определяет большинство важнейших рабочих характеристик ИС: напряжение смещения, входной ток смещения, входной ток сдвига, входное сопротивление и коэффициент ослабления синфазного сигнала.

Простейшая структура дифференциального каскада приведена на рис. 2. Он содержит мостовую схему, питаемую источником напряжения $+V_П$ со стабильным токоотводом I_0. В каждом плече мостовой схемы содержится последовательное соединение резистора $R_К$ и транзистора (VT1 или VT2), выводы базы которых служат входными электродами. В основе большинства уникальных свойств дифференциального каскада лежит идеальная симметрия его плеч, т. е. равенство $R_{К1} = R_{К2} = R_К$ и идентичность параметров транзисторов VT1 и VT2 , включенных в плечи моста.

Проведем анализ усилительных свойств каскада. Здесь $I_0 = I_{Э1} + I_{Э2}$. Согласно упрощенному уравнению Эберса-Молла,

$$I_{Э1} = I_{ЭН}\left(\exp\left(\frac{U_{БЭ1}}{V_T}\right) - 1\right) \approx I_{ЭН}\exp\left(\frac{U_{БЭ1}}{V_T}\right), \qquad (1)$$

$$I_{Э2} = I_{ЭН}\left(\exp\left(\frac{U_{БЭ2}}{V_T}\right) - 1\right) \approx I_{ЭН}\exp\left(\frac{U_{БЭ2}}{V_T}\right). \qquad (2)$$

Приближения сделаны на основании того, что эмиттерные переходы смещены в прямом направлении, когда $U_{БЭ1}$, $U_{БЭ2} \gg V_T$. В этом случае

$$\frac{I_{Э1}}{I_{Э2}} = \exp\left(\frac{U_{БЭ1} - U_{БЭ2}}{V_T}\right) = \exp\left(\frac{\varepsilon}{V_T}\right) \qquad (3)$$

или

$$I_{Э1} = I_{Э2}\exp\left(\frac{\varepsilon}{V_T}\right). \qquad (4)$$

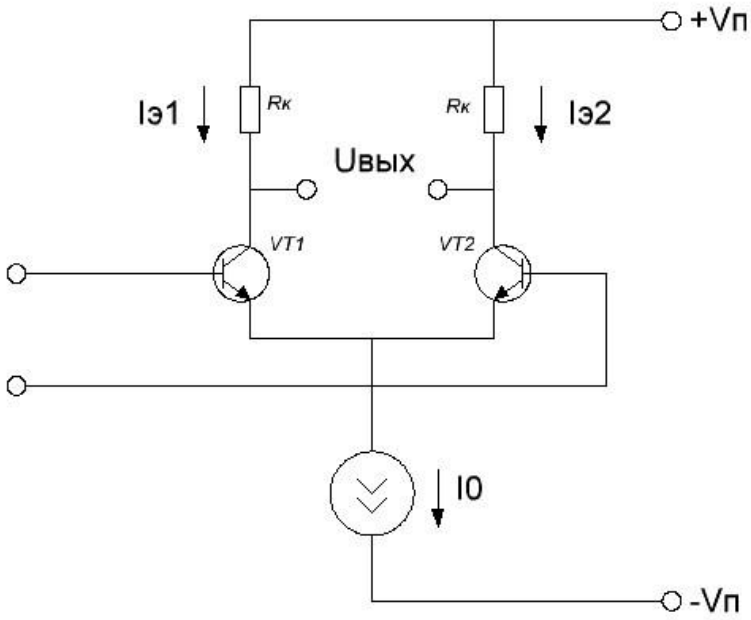


Рис .2.

Это дает возможность из

$$I_0 = I_{Э2} + I_{Э2}\exp\left(\frac{\varepsilon}{V_T}\right) = I_{Э2}\left(1+\exp\left(\frac{\varepsilon}{V_T}\right)\right) \qquad (5)$$

найти

$$I_{Э2} = \frac{I_0}{1+\exp\left(\frac{\varepsilon}{V_T}\right)},\ I_{Э1} = \frac{I_0}{1+\exp\left(-\frac{\varepsilon}{V_T}\right)}. \qquad (6)$$

Выходное напряжение равно

$$V_{вых} = \left(V_n - \alpha I_{Э1} R_K\right) - \left(V_n - \alpha I_{Э2} R_K\right) =$$

$$= -\alpha I_0 R_K \left(\frac{1}{1 + \exp\left(-\frac{\varepsilon}{V_T}\right)} - \frac{1}{1 + \exp\left(\frac{\varepsilon}{V_T}\right)} \right) =$$

$$= -\alpha I_0 R_K \frac{\exp\left(\frac{\varepsilon}{V_T}\right) - \exp\left(-\frac{\varepsilon}{V_T}\right)}{2 + \exp\left(\frac{\varepsilon}{V_T}\right) + \exp\left(-\frac{\varepsilon}{V_T}\right)} =$$

$$= -\alpha I_0 R_K \frac{2\,\mathrm{sh}\left(\frac{\varepsilon}{V_T}\right)}{2 + 2\,\mathrm{ch}\left(\frac{\varepsilon}{V_T}\right)} == -\alpha I_0 R_K \,\mathrm{th}\left(\frac{\varepsilon}{2V_T}\right). \qquad (7)$$

В области линейности $\varepsilon \gg 2V_T$

$$\mathrm{th}\left(\frac{\varepsilon}{2V_T}\right) \cong \frac{\varepsilon}{2V_T} \text{ и } V_{вых} = -\frac{\alpha I_0 R_K}{2V_T}\varepsilon, \qquad (8)$$

т.е. малосигнальный коэффициент усиления равен

$$k = \frac{V_{вых}}{\varepsilon} = -\frac{\alpha I_0 R_K}{2V_T}. \qquad (9)$$

При $|\varepsilon| > 2V_T \approx 52$ мВ дифференциальный каскад окончательно переходит в режим насыщения. Передаточная характеристика дифференциального каскада приведена на рис. 3.

Входные токи дифференциального каскада определяются соотношениями

$$I_{g1} = \frac{I_{Э1}}{\beta + 1},\ I_{g2} = \frac{I_{Э2}}{\beta + 1} \tag{10}$$

или в рабочем режиме ОУ, когда $\varepsilon \to 0$,

$$I_{g1} \cong I_{g2} = \frac{I_0}{2(\beta + 1)}. \tag{11}$$

Входные сопротивления дифференциального каскада различны для дифференциальной и синфазной составляющих входного сигнала:

$$R_g = 2\left[(\beta + 1)\frac{2V_T}{I_0} + r_Б\right],\ R_{c1,2} \approx (\beta + 1)R_I, \tag{12}$$

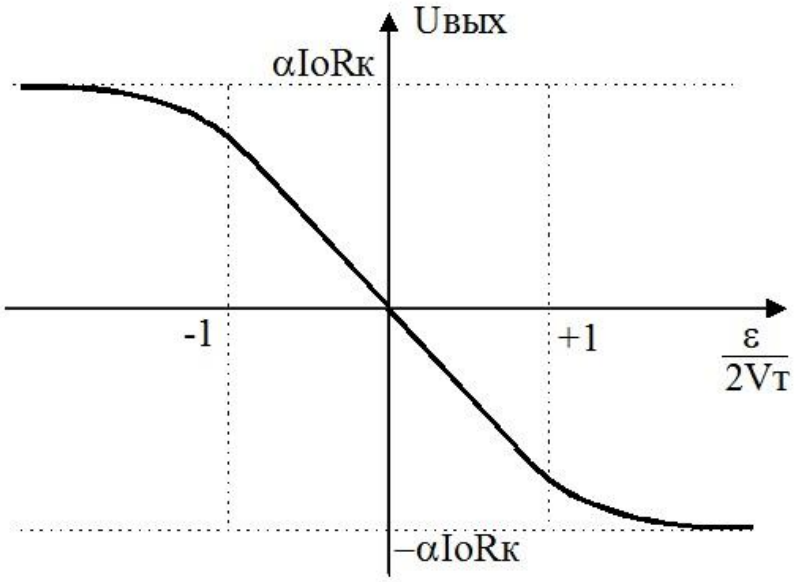


Рис. 3.

где $r_Б$ — сопротивление тела базы VT1 или VT2; R_I — выходное сопротивление токоотвода I_0.

Усиление синфазной составляющей входного сигнала в дифференциальном каскаде зависит от степени неидеальности плеч мостовой схемы, выражаемой относительными отклонениями $\Delta\alpha/\alpha$ и $\Delta R_K/R_K$, имеющими место в реальном технологическом процессе, и имеет вид

$$k_c \approx -\alpha \frac{R_K}{R_I}\left(\frac{\Delta\alpha}{\alpha}+\frac{\Delta R_K}{R_K}\right). \qquad (13)$$

Тогда коэффициент подавления синфазной составляющей сигнала составит

$$k_{оссф} = \frac{k}{k_c} = \left[\frac{2V_T}{I_0 R_I}\left(\frac{\Delta\alpha}{\alpha}+\frac{\Delta R_K}{R_K}\right)\right]^{-1}. \qquad (14)$$

Приведенное напряжение смещения нуля зависит от нескольких факторов, основной вклад среди которых вносят: а) разброс тепловых токов $I_{ЭН1}$ и $I_{ЭН2}$ в эмиттерных переходах транзисторов; б) относительный разброс коллекторных сопротивлений $\Delta R_K/R_K$. В итоге

$$|e_0| \cong V_T\left(\left|\ln\frac{I_{ЭН1}}{I_{ЭН2}}\right|+2\left|\frac{\Delta R_K}{R_K}\right|\right). \qquad (15)$$

2. Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в методическом указании к этой работе, лекционный материал, а также дополнительную литературу.

3. Порядок выполнения работы

3.1. Получите у преподавателя вариант задания согласно номеру бригады.

3.2. Используя графический редактор программы MC5, сформируйте на экране схему дифференциального каскада для вашего варианта задания .

3.3. Получите на экране графики передаточных характеристик для прямого и инверсного выходов ($Uк_{VT1}$(Uвх), $Uк_{VT2}$(Uвх)).

3.4. Получите на экране графики амплитудно-частотной и фазочастотной характеристик для симметричного выхода (в MC5 db(Vc(VT1)-Vc(VT2)) — АЧХ в дБ, ph(Vc(VT1)-Vc(VT2)) — ФЧХ). Используя электронный курсор, определите численное значение коэффициента усиления на низких частотах.

3.5. Постройте графики АЧХ при вариации температуры. Температура меняется от -60° до +120° с шагом 90°.

3.6. Получите зависимость входного сопротивления для дифференциального сигнала от частоты (в MC5 Vb(VT1)/Ib(VT1)).
3.7. Определите зависимость входного тока дифференциального каскада от тока I1. Для этого необходимо соединить входы схемы с “землей”, и построить график зависимости Ib(VT1) от I1.

4. Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать схему дифференциального каскада, основные графики и параметры, полученные в результате проведения работы.

Контрольные вопросы

1. Какова область использования дифференциальных каскадов? Что такое дрейф нуля?
2. Изобразите упрощенную принципиальную схему дифференциального каскада. Какие сигналы называют дифференциальными, а какие синфазными?
3. Используя упрощенную схему дифференциального каскада, объясните, как осуществляется усиление дифференциальных сигналов и подавление синфазных сигналов.
4. Что означают термины - симметричный и несимметричный дифференциальный каскад?
5. Каково назначение генератора стабильного тока в схеме дифференциального каскада?
6. Дайте определение коэффициента ослабления синфазного сигнала. От каких параметров зависит значение этого коэффициента?

Библиографический список

1. Титце У. Полупроводниковая схемотехника. Т1. — М.: ДМК пресс, 2008. 832 с.
2. Титце У. Полупроводниковая схемотехника. Т2. — М.: ДМК пресс, 2008. 942 с.
3. Опадчий Ю. В. Аналоговая и цифровая электроника. — М.: Горячая линия - Телеком, 2005. 768 с.

Лабораторная работа № 3

Изучение выходного каскада и схемы сдвига уровня операционных усилителей

Цель работы

Изучить особенности схемотехники выходного каскада и схемы сдвига уровня, изучить их влияние на характеристики операционного усилителя.

1. Теоретические сведения

С точки зрения увеличения динамического диапазона воспроизведения операционного усилителя выходной каскад должен обладать максимально возможным выходным напряжением, близким к напряжениям питания $\pm V_П$, низким выходным и высоким входным сопротивлениями.

Кроме этого, выходной каскад должен обладать максимальным токовым ресурсом для согласования операционного усилителя с различными нагрузками, но при малой рассеиваемой мощности при нулевом входном сигнале. При этом каскад обладает наивысшим КПД и экономичностью, а операционный усилитель — минимальной мощностью рассеивания. В связи с этим в операционных усилителях выходные каскады, работающие в классе *A*, применяются крайне редко. Наиболее распространены двухтактные усилительные схемы классов *B* и *AB*. В них основу составляет последовательное соединение двух транзисторов (n-p-n и p-n-p) с общим управлением (рис. 4, а), каждый из которых работает в режиме эмиттерного повторителя, пропускающего одну из полуволн (n-p-n — положительную, p-n-p — отрицательную) входного сигнала.

Это оконечный каскад класса *B*, где

$$I_H = I_{Э1} + I_{Э2},\ E = R_H I_H, \qquad (1)$$

но токи $I_{Э1}$ и $I_{Э2}$ имеют разное направление.

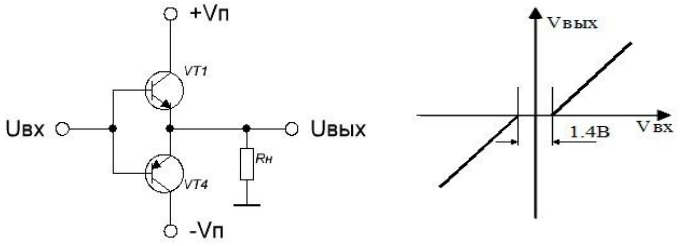
Передаточная характеристика этого каскада изображена на рис. 4, б . Она имеет зону нечувствительности ±0,7 В, обусловленную пороговыми напряжениями эмиттерных переходов. В итоге выходной сигнал имеет значительные нелинейные искажения, а каскад, несмотря на свою экономичность (при $V_{BX} = 0$ потребляемая мощность тоже равна нулю, так как VT1 и VT2 заперты), вообще нечувствителен к слабым сигналам менее ±0,7 В.

Для устранения этого недостатка в схему между базами VT1 и VT2 вводятся диоды VD1, VD2 смещения (рис. 5, а), благодаря чему используются только линеаризованные участки ВАХ (рис. 5, б), и выходная характеристика, присущая работе в классе *AB*, соответствует экономичному режиму с минимумом нелинейных искажений.

Поскольку параметры планарных n-p-n и p-n-p транзисторов значительно различаются по коэффициенту усиления, то нагрузочная способность VT1 и VT2 будет различной, что может привести к искажению отрицательной полуволны по амплитуде и электрической асимметрии выходного каскада. Для исключения этого недостатка схему усложняют, дополняя p-n-p транзистор VT2 с горизонтальной инжекцией n-p-n транзистором VT3 по схеме составного включения (рис. 6, а). Коэффициент усиления по току в схеме с общим эмиттером для такого соединения соответствует $\beta_{23} \cong \beta_2\beta_3 \cong \beta_3$, т. е. практически функционирует при β_2, близкому к единице. Такое транзисторное соединение функционально эквивалентно p-n-p транзистору со статическими параметрами n-p-n транзистора. Такая схема выходного каскада наиболее распространена в схемах операционных усилителей 2-го и 3-го поколений.

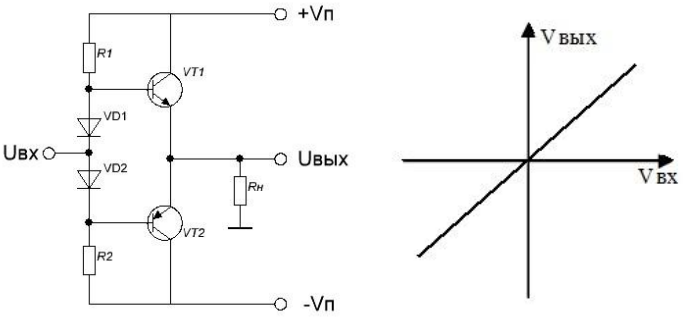
Для повышения коэффициента усиления ОУ обычно содержит один или несколько промежуточных каскадов по схеме дифференциального каскада, сопрягаемых по постоянному току, и каскад сдвига уровня, назначением которого является приведение начального смещения операционного усилителя при $\varepsilon = 0$ к уровню $E = 0$. Схемотехника каскадов сдвига уровня различна в зависимости от назначения усилителя, требований к его характеристикам. Наиболее прогрессивным техническим решением является использование в схеме операционного усилителя покаскадных токоотводов с резисторным смещением и контролируемым соотношением токов по принципу “токового рычага”.

Это позволяет улучшить условия технологической воспроизводимости ОУ (в смысле снижения чувствительности выходного смещения нуля ΔE) к абсолютным разбросам сопротивлений диффузионных резисторов, а также снизить чувствительность $\partial E/\partial V_П$, что позволяет использовать усилитель при различных напряжениях питания; эта возможность значительно расширяет область применения операционных усилителей. При использовании принципа стабилизирующего “токового рычага” в операционном усилителе его каскад сдвига уровня целесообразно строить по принципу динамического делителя напряжения на основе токоотвода (рис. 6, б).



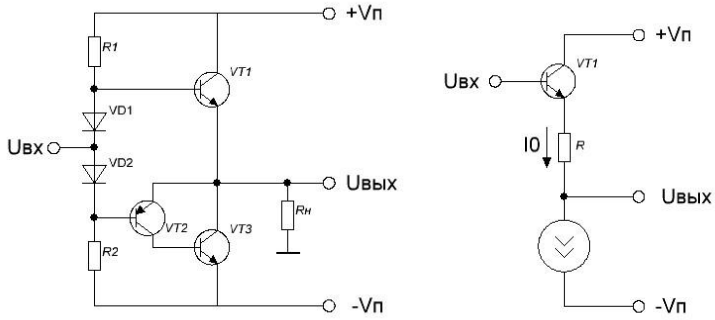
а б

Рис. 4.



а б

Рис. 5.



а б

Рис. 6.

Здесь $V_{ВЫХ} = V_{ВХ} - V_{БЭ} - I_0R$, и смещение может быть изменено выбором тока I_0. Кроме того, коэффициент ослабления полезного сигнала в такой схеме близок к единице и равен

$$k_{ОСЛ} = \frac{R_I}{R + R_I} k_{П} \approx 1, \qquad (2)$$

где $R_I \gg R$ — внутреннее сопротивление токоотвода I_0; $k_П$ — коэффициент передачи эмиттерного повторителя.

2. Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в лекционном материале и методическом указании к этой работе, а также рекомендуемую литературу.

3. Порядок выполнения работы

3.1. Используя графический редактор программы MC5, сформируйте на экране схему выходного каскада класса В (рис. 4, а). В качестве n-p-n транзистора используйте библиотечную модель с именем N1, а p-n-p транзистора — P1.
3.2. Рассчитайте передаточную характеристику данной схемы.
3.3. Сформируйте на экране схему выходного каскада класса АВ (рис. 5, а).
3.4. Рассчитайте передаточную характеристику.
3.5. Сформируйте на экране схему выходного каскада с составным транзистором (рис. 6, а). В качестве p-n-p транзистора используйте библиотечную модель с именем P2.
3.6. Рассчитайте передаточную характеристику.
3.7. Сравните полученные результаты.
3.8. Сформируйте на экране схему соединения каскада сдвига уровня с выходным каскадом. Для задания параметров модели источника синусоидального напряжения V3 необходимо выполнить следующие действия:

– нажатием комбинации клавиш **Ctrl + T** или щелчком мыши по пиктограмме  перейти в режим ввода текстовых надписей;
– переместить курсор мыши в свободное место экрана и нажать левую кнопку мыши;
– в открывшемся окне ввести строку вида:

.model VIN SIN(F=5MEG A=2V DC=6V),

где VIN — имя модели, F — частота сигнала, A — амплитуда сигнала, DC — постоянная составляющая;

– закрыть окно нажатием на кнопку **OK**.

3.9. Получите на экране графики входного и выходного напряжения (в режиме расчета переходных процессов **Transient Analysis)**. Подбором номиналов резистора R4 и источника тока добиться устранения постоянной составляющей на выходе схемы.

4. Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать исследуемые схемы, основные графики и параметры, полученные в результате проведения работы.

Контрольные вопросы

1. Назначение выходного каскада операционного усилителя.
2. Требования к выходным каскадам операционного усилителя.
3. Назначение схемы сдвига уровня.
4. Схемотехника выходных каскадов операционных усилителей.

Библиографический список

1. Опадчий Ю. В. Аналоговая и цифровая электроника. — М.: Горячая линия - Телеком, 2005. 768 с.
2. Кучумов А.И. Электроника и схемотехника. — М.: Гелиос АРВ, 2002. 304 с.
3. Алексеенко А. Г. и др. Макромоделирование аналоговых интегральных микросхем. — М.: Радио и связь, 1983. С. 62 – 67.
4. Шило В.Л. Линейные интегральные схемы в радиоэлектронной аппаратуре. - 2-е изд., перераб. и доп. - М.: Сов. радио, 1979. С. 99 - 114.

Лабораторная работа № 4

Изучение схемотехники операционных усилителей

Цель работы

Изучить особенности схемотехники основных типов операционных усилителей на примере конкретных схем.

1. Теоретические сведения

В настоящее время промышленность выпускает огромное количество разнообразных типов ОУ. Многие из них обладают уникальными параметрами и свойствами, что обеспечивает выполнение на их основе уникальных по точности и функциональным возможностям электронных устройств. Все это стало возможным в результате развития интегральной технологии и схемотехники.

Однако, несмотря на это, практически во всех ОУ есть “классические” примеры схемотехнических решений отдельных узлов, изучение которых позволит более глубоко понять принципы их работы и возможности достижения максимально качественных параметров при разработке новых типов ОУ.

На рис. 7 представлена принципиальная схема отечественного ОУ первого поколения типа 140УД1 (μА702) . Операционный усилитель типа μА702 является высокоскоростным ОУ общего применения. Усилитель имеет два дифференциальных каскада усиления напряжения, а также оконечный каскад усиления и поэтому соответствует трехкаскадной схеме-модели.

Коэффициент усиления входного каскада равен 2.5 . Общий номинальный коэффициент усиления ОУ типа μА702 имеет уровень 4200. Реальное значение К0 у отдельных экземпляров ОУ может существенно отличаться от расчётного, поскольку номиналы и параметры интегральных элементов имеют большой разброс .

В схеме ОУ имеется вывод с нулевым потенциалом, подключенный к эмиттерам транзисторов второго дифференциального каскада. Применительно к данной схеме это является недостатком, так как сильно ограничивает допустимую амплитуду дифференциальных и синфазных сигналов на входе ОУ . Чтобы получить симметричный двухполярный выходной сигнал с амплитудой ±6В , для данного ОУ требуются несимметричные источники питания E_k^+=12В и E_k^- = -6В.

Малосигнальная АЧХ этого ОУ доходит до диапазона частот 50...100 МГц , но имеет наклон -40 дБ/дек. почти на всём высокочастотном спаде , поэтому для обеспечения устойчивости усилителя при замкнутой петле ООС приходится использовать две внешние цепи коррекции частотной характеристики . Поскольку внутренние сопротивления в схеме этого ОУ относительно малы, то и элементы коррекции низкоимпедансные.

Некоторые недостатки ОУ типа μА702 устранены в схеме ОУ типа 140УД1. Второй каскад в этом ОУ не имеет двух дифференциаль-

ных нагрузок, а является эмиттерно-связанным. Кроме того, в этой схеме нулевой вывод присоединён не к общей точке эмиттеров транзисторов второго каскада, а соединён с ней через делитель (резисторы R5 и R6). Это позволило расширить диапазон допустимых входных сигналов. Номиналы нагрузок усилительных каскадов в этом ОУ по сравнению с ОУ типа μA702 увеличены, тем самым несколько повышен суммарный коэффициент усиления, снижен потребляемый ток, но уменьшено быстродействие .

Для усилителя типа 140УД1 требуется одна внешняя цепь коррекции частотной характеристики, так как другая ёмкость коррекции введена внутрь схемы (в данном случае это ёмкость запертого диода VD1). Внутренняя цепь коррекции хотя и упростила эксплуатацию ОУ, но существенно ограничила возможности форсирования его быстродействия.

Номиналы элементов выходного каскада выбраны такими, что обеспечивают работу схемы при одинаковых напряжениях питания ($E_k^{\pm}$=±6.3 В для ОУ типа 140УД1А и $E_k^{\pm}$=±12.6 В для ОУ типа 140УД1Б). Усилитель типа 140УД1, как и усилитель типа μA702 , не обладает запасом усилительных параметров , имеет невысокий к.п.д. , малую амплитуду неискажённого выходного сигнала и небольшую нагрузочную способность . При применении этого простейшего ОУ требуется 5…10 внешних навесных элементов для обеспечения его устойчивой работы .

На рис. 8 представлена схема ОУ типа μA709. Это высокоточный ОУ с невысоким быстродействием. В этой схеме впервые были применены интег ральные p-n-p транзисторы с горизонтальной инжекцией . Коэффициент усиления тока базы в таких транзисторах не превышал 2 (VT 9). Транзистор VT 13 имеет вертикальную структуру и использует в качестве коллекторной области подложку p-типа (β = 20).

Входной дифференциальный каскад работает в режиме микротоков, что позволило снизить величину входных токов и увеличить входное сопротивление ОУ. Второй дифференциальный каскад выполнен на составных транзисторах, что обеспечивает его высокое входное сопротивление и относительно слабое шунтирование коллекторных резисторов предыдущего каскада.

Транзисторы VT10 и VT11 обеспечивают отрицательную обратную связь по синфазному сигналу между первым и вторым каскадами усилителя.

Схема сдвига уровня выполнена на p-n-p транзисторе, работающем в схеме с общей базой и дающем небольшое по величине усиление по напряжению. Выходной каскад усиления амплитуды построен по схеме ОЭ на транзисторе VT 12 и резисторе R14 и для повышения нагрузочной способности снабжен двухтактным эмиттерным повторителем. Коэффициент усиления выходного каскада зафиксирован резисторами R15 и R7 на уровне 30. Выходное сопротивление при этом не превышает 150 Ом.

Этот ОУ имеет АЧХ, соответствующую трем различным постоянным времени, поэтому для его коррекции необходимо использовать две RC цепи. Как и в ОУ типа 140УД1, для нормальной работы требуется значительное число дополнительных навесных элементов.

2. Подготовка к работе

При подготовке к работе рекомендуется изучить теорию, представленную в лекционном материале и методическом указании к этой работе, а также рекомендуемую литературу.

3. Порядок выполнения работы

3.1. Используя графический редактор программы MC5, сформируйте на экране схему ОУ по заданию преподавателя. Рекомендуется формировать схему по частям, отлаживая работу каждой части (каскада), и затем состыковать все части и проверить всю схему в целом.
3.2. В режиме анализа на постоянном токе получите передаточную характеристику данной схемы.
3.3. В режиме анализа частотных характеристик получите АЧХ И ФЧХ схемы.
3.4. В режиме анализа переходных характеристик получите переходную характеристику схемы неинвертирующего повторителя на данном ОУ и расчитайте скорость нарастания выходного напряжения.

4. Содержание отчета

Отчет о лабораторной работе оформляется каждым студентом индивидуально и должен содержать исследуемую схему, основные графики и параметры, полученные в результате проведения работы.

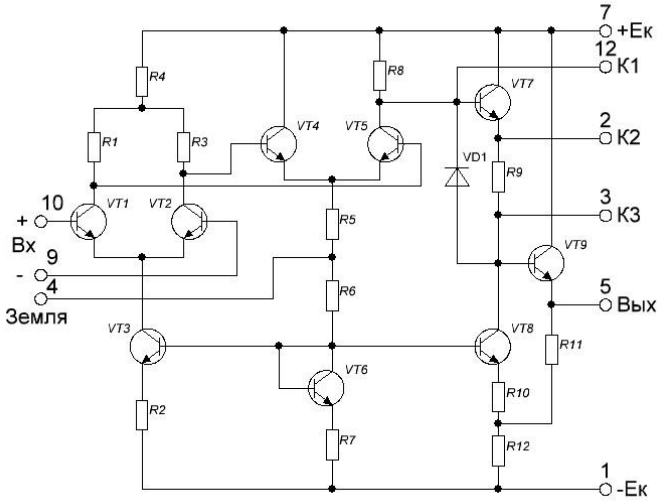

7
+Ек
12
К1
2
К2
3
К3
5
Вых
1
-Ек
10
+
Вх
9
-
4
Земля
R1
R2
R3
R4
R5
R6
R7
R8
R9
R10
R11
R12
VT1
VT2
VT3
VT4
VT5
VT6
VT7
VT8
VT9
VD1

Рис. 7.

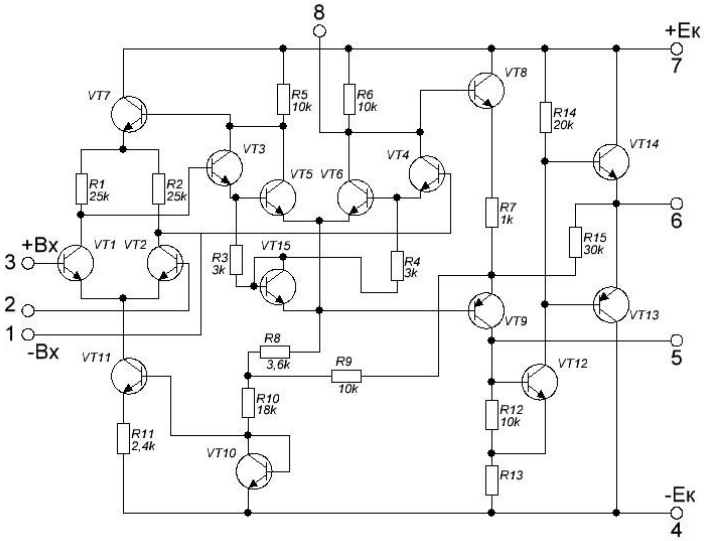

8
+Ек
7
VT7
R5
10k
R6
10k
VT8
R14
20k
VT14
VT3
VT4
VT5
VT6
R1
25k
R2
25k
R7
1k
6
R15
30k
+Вх
3
VT1
VT2
R3
3k
VT15
R4
3k
2
1
-Вх
VT9
VT13
R8
3,6k
R9
10k
5
VT11
VT12
R10
18k
R12
10k
R11
2,4k
VT10
R13
-Ек
4

Рис. 8.

Контрольные вопросы

1. Функциональная схема операционного усилителя.
2. Назначение функциональных узлов операционного усилителя.
3. Характеристики идеального операционного усилителя.
4. АЧХ и ФЧХ идеального и реального операционного усилителя.
5. Применение операционных усилителей.

Библиографический список

1. Титце У. Полупроводниковая схемотехника. Т1. — М.: ДМК пресс, 2008. 832 с.
2. Титце У. Полупроводниковая схемотехника. Т2. — М.: ДМК пресс, 2008. 942 с.
3. Кучумов А.И. Электроника и схемотехника. — М.: Гелиос АРВ, 2002. 304 с.
4. Шило В.Л. Линейные интегральные схемы в радиоэлектронной аппаратуре. - 2-е изд., перераб. и доп. - М.: Сов. радио, 1979, с. 99 - 114.

Оператор ЭДО ООО "Компания "Тензор"

ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ

ПОДПИСАНО **ФГБОУ ВО "РГРТУ", РГРТУ,** Литвинов Владимир Георгиевич, Заведующий кафедрой МНЭЛ **02.11.26** 16:55 (MSK) Простая подпись