

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ ИМЕНИ В.Ф. УТКИНА

Кафедра радиотехнических систем

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине (модулю)

«Цифровые устройства и микропроцессоры»

Направление подготовки
11.05.01 Радиоэлектронные системы и комплексы

Направленность (профиль) подготовки
«Радиоэлектронные системы передачи информации»
«Радиосистемы и комплексы управления»
«Радионавигационные системы и комплексы»
«Радиоэлектронная борьба»

Уровень подготовки
специалитет

Программа подготовки
специалитет

Квалификация выпускника – инженер

Формы обучения – очная

Рязань 2024

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

К контролю текущей успеваемости относятся проверка знаний, умений и навыков, приобретённых обучающимися на практических занятиях и лабораторных работах. При выполнении лабораторных работ применяется система оценки «зачтено – не зачтено». Количество лабораторных работ по каждому модулю определено учебным графиком и учебным планом.

На практических занятиях допускается использование либо системы «зачтено – не зачтено», либо рейтинговой системы оценки, при которой, например, правильно решенная задача оценивается определенным количеством баллов. При поэтапном выполнении учебного плана баллы суммируются. Положительным итогом выполнения программы является определенное количество набранных баллов.

№ п/п	Темы лекционных занятий	Трудоемкость (час.)	Формируемые компетенции	Форма контроля
1	ЦИФРОВЫЕ УСТРОЙСТА			
1.1	Введение. <i>Предмет и задачи курса. Аналоговые и цифровые сигналы в радиоэлектронике. Понятие о цифровой обработке аналоговых сигналов в цифровых устройствах. Элементная база цифровых устройств. Методы проектирования и способы реализации цифровых устройств. Цифровые устройства на основе микропроцессоров (МП). Методы анализа цифровых устройств.</i>	2	ОПК-2 ОПК-3	зачет
	Логические основы цифровой техники:			
1.2	Основы алгебры логики и переключательных функций.	2	ОПК-2 ОПК-3	зачет

	<i>Основные понятия, операции, законы алгебры логики. Переключательные функции. Способы задания переключательных функций. Преобразование структурных формул. Базисные логические операции и логические элементы. Функционально полные системы логических элементов. Переход от структурной формулы к логической схеме и обратный переход. Нормальные и скобочные формы логических функций.</i>			
1.3	<i>Синтез логических схем. Структурный синтез логической схемы. Задачи минимизации. Минимизация логических функций с использованием карт Карно. Переход к заданному базису. Неполностью определенные функции. Системы логических функций.</i>	2	ОПК-2 ОПК-3	зачет
1.4	<i>Элементы цифровых устройств</i> <i>Основные функциональные и эксплуатационные характеристики цифровых элементов, методы их аналитического и экспериментального определения.</i> <i>Базовые логические элементы (ТТЛ, ТТЛШ, КМОП,): электрические схемы, кодирование и согласование уровней, логическое описание, характеристики (входные, выходные, передаточные), быстродействие, особенности применения. Понятие об элементах с тремя состояниями выхода и об элементах с открытым выходом.</i>	2	ОПК-2 ОПК-3	зачет
1.5	<i>Типовые комбинационные схемы</i> <i>Схемы контроля равнозначности кодов и сравнения. Дешифраторы и демультиплексоры. Мультиплексоры и мультиплексоры-демультиплексоры.</i> <i>Арифметические сумматоры.</i>	2	ОПК-2 ОПК-3	зачет

	Шифраторы. Приоритетные шифраторы. Постоянные запоминающие устройства (ПЗУ), программируемые логические матрицы (ПЛМ). Применение дешифратора для реализации системы логических функций. Применение ПЗУ и ПЛМ для реализации логических функций.			
1.6	Элементы последовательностных устройств Триггерные устройства. Классификация. Асинхронные триггерные устройства. Синхронные одноступенчатые SR- и D-триггеры. Таблицы состояния, характеристические уравнения, таблицы возбуждения (словарь переходов). Двухступенчатые SR- и D-триггеры, JK-триггер, как усовершенствованный SR-триггер. Явление состязаний (гонок) в цифровых устройствах. Непроницаемые синхронные триггеры с динамическим управлением (структура трех SR-триггеров). Построение T-триггеров на основе JK- и D-триггеров.	2	ОПК-2 ОПК-3	зачет
	Типовые последовательностные устройства:			
1.7	Регистры и ОЗУ Статические регистры. Регистровая память. Регистры сдвига. Оперативные запоминающие устройства (ОЗУ). Организация ОЗУ с произвольной выборкой. Характеристики ОЗУ. Сверхоперативные ОЗУ.	2	ОПК-2 ОПК-3	зачет
1.8	Счётчики Счетчики импульсов. Классификация. Синтез последовательных и параллельных счетчиков на T-, JK-, D-	2	ОПК-2 ОПК-3	зачет

	<i>триггерах с произвольным коэффициентом счета. Анализ неиспользуемых состояний и обеспечение самовосстановления. Счетчики на сдвигающих регистрах. Счетчики (делители частоты импульсов) с переменным коэффициентом счета (деления). Генераторы числовых последовательностей.</i>			
2	МИКРОПРОЦЕССОРЫ			
2.1	<i>Принципы построения процессоров. Общая классификация встраиваемых микропроцессоров (МП). Характеристики МП и микропроцессорных БИС. Декомпозиция процессора на операционный и управляющий узлы (ОУ и УУ). Понятия микрооперации, микрокоманды, микропрограммы, микропрограммного автомата, микропрограммной памяти, управляющей программы. Описание работы ОУ на языке микроопераций. Способы построения УУ. Процессор с микропрограммным управлением.</i>	2	ОПК-2 ОПК-3	экзамен
2.2	<i>Арифметические основы цифровой техники. Системы счисления. Позиционные системы счисления. Перевод чисел из одной системы счисления в другую. Представление эквивалентных чисел в разных системах счисления. Кодирование положительных и отрицательных чисел. Прямой, обратный и дополнительный коды. Изменение знака числа. Формы представления чисел в ЭВМ. Арифметические операции над числами с фиксированной запятой.</i>	2	ОПК-2 ОПК-3	экзамен

	<i>Обеспечение истинности результатов арифметических операций.</i>			
	<i>Микропроцессоры с фиксированной системой команд:</i>			
2.3	Архитектура МК51 (Intel8051). <i>Типовая схема операционного узла микропроцессоров МК51 (Intel8051). Выполнение арифметических и логических операций в ОУ. Взаимодействие ОУ и УУ. Физическая структура микроконтроллера МК51. Назначение физических выводов. Организация и адресация внутренней памяти. Назначение и характеристики внутренних узлов. Узел синхронизации.</i>	2	ОПК-2 ОПК-3	экзамен
2.4	Таймеры-счётчики. Последовательный порт. <i>Узел таймеров-счётчиков. Управление таймерами-счётчиками. Режимы и функционирование таймеров-счётчиков. Узел последовательного порта стандарта USART. Управление последовательным портом. Режимы и функционирование последовательного порта.</i>	2	ОПК-2 ОПК-3	экзамен
2.5	Прерывания. Режимы потребления. <i>Управление режимами потребления МК51. Использования прерываний в МП-системах. Источники и типы прерываний. Программные и аппаратные прерывания. Управление прерываниями. Вектор прерывания. Последовательность событий при программных и аппаратных прерываниях.</i>	2	ОПК-2 ОПК-3	экзамен
2.6	Система команд МК51. <i>Команды МК: основные понятия, классификация команд, мнемоническая форма записи. Программная модель</i>	2	ОПК-2 ОПК-3	экзамен

	<i>МПС. Система команд МК. Состав, назначение и адресация логических объектов МК51.</i>			
2.7	Адресация операндов в командах МК51. <i>Основные способы адресации операндов в командах МК51. Особенности выполнения команд операций с битами, арифметических и логических операций, команд перехода.</i>	2	ОПК-2 ОПК-3	экзамен
	Принципы организации микропроцессорных систем (МПС):			
2.8	Архитектура и функционирование МП-системы. <i>Понятие микропроцессорной системы. Функционально-модульный принцип построения МП-системы. Виды шин. Центральный процессор (ЦУ). Периферийные устройства (ПУ). Интерфейс. Варианты шинной организации. Трехшинная архитектура взаимодействия ЦУ и ПУ. МПС с преобразованием числа шин. Функционирование МП-системы: машинный цикл, командный цикл, выполнение программы, длительность выполнения программы.</i>	2	ОПК-2 ОПК-3	экзамен
2.9	Минимальная конфигурация МП-системы на базе МК КР1830ВЕ31. <i>Минимальная конфигурация МП-системы на базе МК КР1830ВЕ31. Адресация внешней памяти и портов. Подключение шин. Реализация и функционирование памяти программ (ПЗУ), памяти данных (ОЗУ), портов ввода-вывода, таймера в БИС КР1821РФ55, КР1821РУ55. Управление режимами портов и таймера.</i>	2	ОПК-2 ОПК-3	экзамен
2.10	МП-система на базе МК РСА87С552 (Philips).	2	ОПК-2 ОПК-3	экзамен

	<i>Особенности архитектуры МП-системы на базе специализированного МК PCA87C552 (Philips). Ядро 8051, память программ, память данных. Периферийные функциональные узлы: дополнительные параллельные порты, таймер процессорного времени, регистры событий, схемы формирования внешних управляющих сигналов по числовому временному порогу, таймер Watchdog, АЦП, последовательный порт стандарта I2C. ЦАП с ШИМ, с матрицей R-2R.</i>			
2.11	Микропроцессоры с архитектурой RISC. <i>Концепция RISC в архитектуре МК (на примере PIC-микроконтроллеров Microchip). Сопоставление с архитектурой CISC. Гарвардская архитектура. Быстродействие. Система команд. Состав, характеристики и применение RISC МК: 12-разрядного базового семейства (PIC16C5x); 14-разрядного семейства (PIC16C6x/7x/8x); 16-разрядного высокопроизводительного семейства (PIC17Cxx); 16-разрядного высокопроизводительного семейства для распределённых сетей управления (PIC18Cxx).</i>	2	ОПК-2 ОПК-3	экзамен
	Архитектура микропроцессорных систем цифровой обработки сигналов (ЦОС):			
2.12	АЦП и ЦАП для систем ЦОС. <i>АЦП и ЦАП для систем ЦОС. АЦП последовательного приближения. Сигма-дельта АЦП. Повышение показателя SNR путём избыточной дискретизации, цифровой фильтрации и децимации. Параллельные, конвейерные, каскадные АЦП.</i>	2	ОПК-2 ОПК-3	экзамен

	<i>Структуры и алгоритмы работы ЦАП.</i> <i>Различия между микроконтроллерами, микропроцессорами и цифровыми сигнальными процессорами (ЦСП).</i>			
2.13	Алгоритмы ЦОС и особенности архитектуры ЦСП. <i>Требования, предъявляемые к ЦСП. Быстрое выполнение арифметических операций. Повышенная точность. Одновременная выборка двух операндов. Циклические буферы. Организация циклов с автоматической проверкой условий.</i> <i>Ядро 16-разрядных ЦСП с фиксированной точкой семейства ADSP-21xx.. Шины. Вычислительные блоки (АЛУ, МАС, сдвигатели). Адресные генераторы и устройство управления последовательностью выполнения команд.</i>	2	ОПК-2 ОПК-3	экзамен
2.14	Архитектура процессоров серии ADSP-2181. <i>Встроенные средства периферии процессоров семейства ADSP-21xx (интерфейс памяти, последовательные порты, прямой доступ к внутренней памяти процессора, режим пониженного энергопотребления).</i> <i>Архитектура процессоров серии ADSP-2181. Технические характеристики. Системный интерфейс.</i>	2	ОПК-2 ОПК-3	экзамен
2.15	ЦСП с плавающей точкой. <i>Сравнение арифметики с плавающей и фиксированной точкой. Цифровые сигнальные процессоры с плавающей точкой SHARC компании Analog Devices: модифицированная Гарвардская архитектура, ключевые особенности процессора SHARC,</i>	2	ОПК-2 ОПК-3	экзамен

	<i>скоростные характеристики.</i>			
2.16	Программирование и отладка МП-систем. <i>Понятие технологии программирования. Современные технологии программирования. Стандартная форма представления программ. Средства разработки и отладки программ на языке ассемблера.</i> <i>Средства совместной отладки аппаратной и программной частей МП-системы. Внутрисхемные эмуляторы.</i>	2	ОПК-2 ОПК-3	экзамен

1.1.1. Лабораторные занятия

№ п/п	Наименование лабораторных работ	Трудоемкость (час.)	Формируемые компетенции	Форма контроля
1	Изучение характеристик логических элементов ТТЛ	4	ОПК-2 ОПК-3	зачет
2	Изучение характеристик логических элементов КМОП	4	ОПК-2 ОПК-3	зачет
3	Синтез комбинационных схем	4	ОПК-2 ОПК-3	зачет
4	Синтез синхронных последовательностных устройств на ПЛМ	4	ОПК-2 ОПК-3	зачет
5	Изучение принципа работы и характеристик ЦАП	4	ОПК-2 ОПК-3	зачет
6	Изучение принципа работы и характеристик АЦП. Таймеры-счётчики.	4	ОПК-2 ОПК-3	зачет
7	Разработка и программирование алгоритма. Ассемблирование, компоновка и отладка программы	4	ОПК-2 ОПК-3	зачет
8	Изучение алгоритма функционирования и программы цифрового фильтра	4	ОПК-2 ОПК-3	зачет

1.1.2. Самостоятельная работа

№ п/п	Тематика самостоятельной работы	Трудо емкос ть (час.)	Форм ируем ые компе тенци и	Форм а контр оля
1	ЦИФРОВЫЕ УСТРОЙСТА			
1.1	Введение.	3	ОПК-2 ОПК-3	зачет
1.2	Основы алгебры логики и переключаемых функций.	10	ОПК-2 ОПК-3	зачет
1.3	Синтез логических схем.	12	ОПК-2 ОПК-3	зачет
1.4	Элементы цифровых устройств.	6	ОПК-2 ОПК-3	зачет
1.5	Типовые комбинационные схемы.	10	ОПК-2 ОПК-3	зачет
1.6	Элементы последовательностных устройств.	10	ОПК-2 ОПК-3	зачет
1.7	Регистры и ОЗУ.	6	ОПК-2 ОПК-3	зачет
1.8	Счётчики.	10	ОПК-2 ОПК-3	зачет
2	МИКРОПРОЦЕССОРЫ			
2.1	Арифметические основы цифровой техники.	1	ОПК-2 ОПК-3	экзамен
2.2	Архитектура МК51 (Intel8051).	1	ОПК-2 ОПК-3	экзамен
2.3	Таймеры-счётчики. Последовательный порт.	1	ОПК-2 ОПК-3	экзамен
2.4	Система команд МК51.	1	ОПК-2 ОПК-3	экзамен
2.5	Адресация операндов в командах МК51.	1	ОПК-2 ОПК-3	экзамен
2.6	Архитектура и функционирование МП- системы.	1	ОПК-2 ОПК-3	экзамен
2.7	Минимальная конфигурация МП- системы на базе МК КР1830ВЕ31.	1	ОПК-2 ОПК-3	экзамен

2.8	МП-система на базе МК PCA87C552 (Philips).	1	ОПК-2 ОПК-3	экзамен
2.9	Микропроцессоры с архитектурой RISC.	1	ОПК-2 ОПК-3	экзамен
2.10	АЦП и ЦАП для систем ЦОС.	1	ОПК-2 ОПК-3	экзамен
2.11	Алгоритмы ЦОС и особенности архитектуры ЦСП.	1	ОПК-2 ОПК-3	экзамен
2.12	Архитектура процессоров серии ADSP-2181.	1	ОПК-2 ОПК-3	экзамен
2.13	Программирование и отладка МП-систем.	1	ОПК-2 ОПК-3	экзамен

Критерии оценивания компетенций (результатов)

При выставлении оценок промежуточной аттестации используются следующие критерии:

Оценка	Критерий
Отлично	Знание и полное понимание материала экзаменационного билета. Полный ответ на дополнительные вопросы. Умение четко и аргументированно излагать свои мысли.
Хорошо	Знание и понимание материала экзаменационного билета. Однако, допускаются неточности, не имеющие принципиального характера. Достаточно полный ответ на дополнительные вопросы. Умение излагать свои мысли.
Удовлетворительно	Неполное знание и понимание материала экзаменационного билета. Поверхностный ответ на дополнительные вопросы.
Неудовлетворительно	Большие пробелы в знаниях. Отсутствие ответа хотя бы на один из вопросов по разделам.