ПРИЛОЖЕНИЕ 1

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ ИМЕНИ В.Ф. УТКИНА

Кафедра радиотехнических систем

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ

по дисциплине (модулю)

«Проектирование ЦУ на ПЛИС»

Направление подготовки

11.03.01 «Радиотехника»

Направленность (профиль) подготовки

«Аппаратно-программная инженерия радиолокационных и навигационных систем»
«Программно-аппаратные средства систем радиомониторинга и радиоэлектронной»

Уровень подготовки

бакалавриат

Программа подготовки

бакалавриат

Квалификация выпускника – бакалавр

Формы обучения – очная

Рязань 2026

Оценочные материалы – это совокупность учебно-методических материалов (контрольных заданий, описаний форм и процедур), предназначенных для оценки качества освоения обучающимися данной дисциплины как части основной профессиональной образовательной программы.

Цель – оценить соответствие знаний, умений и уровня приобретенных компетенций, обучающихся целям и требованиям основной профессиональной образовательной программы в ходе проведения текущего контроля и промежуточной аттестации.

Основная задача – обеспечить оценку уровня сформированности общекультурных, общепрофессиональных и профессиональных компетенций, приобретаемых обучающимся в соответствии с этими требованиями.

Контроль знаний проводится в форме текущего контроля и промежуточной аттестации.

Текущий контроль успеваемости проводится с целью определения степени усвоения учебного материала, своевременного выявления и устранения недостатков в подготовке обучающихся и принятия необходимых мер по совершенствованию методики преподавания учебной дисциплины (модуля), организации работы обучающихся в ходе учебных занятий и оказания им индивидуальной помощи.

Одна из форм текущего контроля успеваемости - промежуточное тестирование обучающихся по пройденному лекционному материалу.

К контролю текущей успеваемости также относятся проверка знаний, умений и навыков, приобретенных обучающимися в ходе выполнения индивидуальных заданий на практических занятиях и лабораторных работах. При оценивании результатов освоения практических занятий и лабораторных работ применяется шкала оценки «зачтено – не зачтено». Количество лабораторных и практических работ и их тематика определена рабочей программой дисциплины, утвержденной заведующим кафедрой.

Результат выполнения каждого индивидуального задания должен соответствовать всем критериям оценки в соответствии с компетенциями, установленными для заданного раздела дисциплины.

Промежуточный контроль по дисциплине осуществляется проведением теоретического зачета.

Форма проведения теоретического зачета – тестирование и решения задачи по разработке программы на языке VHDL для описания логики работы цифрового устройства.

Паспорт фонда оценочных средств по дисциплине

№ п/п	Контролируемые разделы (темы) дисциплины (результаты по разделам)	Код контролируемой компетенции (или ее части)	Вид, метод, форма оценочного мероприятия
1	2	3	4
1	Введение. Схемотехническая реализация программируемой логики.	ПК-4.1, ПК-4.2	Зачет
2	Структура проекта на языке VHDL.	ПК-4.1, ПК-4.2	Зачет
3	Синтез комбинационных цифровых устройств на языке VHDL.	ПК-4.1, ПК-4.2	Зачет
4	Синтез последовательностных цифровых устройств на языке VHDL. Часть 1.	ПК-4.1, ПК-4.2	Зачет
5	Синтез последовательностных цифровых устройств на языке VHDL. Часть 2.	ПК-4.1, ПК-4.2	Зачет
6	Последовательные и параллельные операторы VHDL.	ПК-4.1, ПК-4.2	Зачет
7	Синтез устройств на основе счетчиков и сдвиговых регистров.	ПК-4.1, ПК-4.2	Зачет

Критерии оценивания уровня сформированности компетенций в процессе выполнения лабораторных работ и практических занятий:

- 41%-60% правильных ответов соответствует пороговому уровню сформированности компетенции на данном этапе ее формирования;
- 61%-80% правильных ответов соответствует продвинутому уровню сформированности компетенции на данном этапе ее формирования;
- 81%-100% правильных ответов соответствует эталонному уровню сформированности компетенции на данном этапе ее формирования.

Сформированность уровня компетенций не ниже порогового является основанием для допуска обучающегося к промежуточной аттестации по данной дисциплине.

Формой промежуточной аттестации по данной дисциплине для очной формы обучения является – зачет, оцениваемый по принятой в ФГБОУ ВО «РГРТУ» системе: «зачтено» / «не зачтено».

Критерии оценивания промежуточной аттестации представлены в таблице 1.

Таблица 1 - Критерии оценивания промежуточной аттестации (лабораторные и практические занятия, теоретический зачет)

Шкала оценивания	Критерии оценивания
«зачтено»	**студент должен:** продемонстрировать общее знание изучаемого материала; знать основную рекомендуемую программой дисциплины учебную литературу; уметь строить ответ в соответствии со структурой излагаемого вопроса; показать общее владение понятийным аппаратом дисциплины; уметь устранить допущенные погрешности в ответе на теоретические вопросы и/или при выполнении практических заданий под руководством преподавателя, либо (при неправильном выполнении практического задания) по указанию преподавателя выполнить другие практические задания того же раздела дисциплины.
«не зачтено»	**ставится в случае:** незнания значительной части программного материала; не владения понятийным аппаратом дисциплины; существенных ошибок при изложении учебного материала; неумения строить ответ в соответствии со структурой излагаемого вопроса; неумения делать выводы по излагаемому материалу. Оценка «не зачтено» также ставится студентам, которые не выполнили и не защитили лабораторные работы и не сдали практические занятия, предусмотренные рабочей программой.

Темы лабораторных работ

1. Знакомство с САПР Quartus II. Синтез мультиплексора и семисегментного индикатора.
2. Синтез последовательностных цифровых устройств.

Контрольные вопросы для защиты лабораторных работ

1. Основные элементы и конструкции языка VHDL. Ключевые слова. Идентификаторы. Комментарии. Числа. Строки бит.
2. Классификация типов данных в языке VHDL. Основные встроенные типы данных языка VHDL. Понятие подтипа. Пакет std_logic_1164.
3. Библиотеки и пакеты в языке VHDL. Пользовательские пакеты.
4. Интерфейс (сущность) и архитектура объекта в языке VHDL.
5. Декларации. Константы в языке VHDL. Глобальные константы. Локальные константы. Настроечная константа GENERIC. Сигналы. Переменные. Присвоение значения переменной и сигналу в языке VHDL. Имя с индексом.

Имя-вырезка.

6. Процессы в языке VHDL.
7. Операции языка VHDL.
8. Стили программирования на VHDL. Поведенческий стиль, стиль потоков данных, структурный стиль.
9. Оператор COMPONENT. Операторы GENERIC MAP и PORT MAP. Способы подключения портов компонента.
10. Последовательные операторы. Оператор IF. Оператор CASE. Оператор NULL. Операторы циклов FOR LOOP и WHILE LOOP. Оператор завершения цикла EXIT.
11. Параллельные операторы. Агрегат. Оператор селективного присвоения WITH …SELECT. Оператор условного назначения сигнала.
12. Массивы в языке VHDL.
13. Функции в языке VHDL. Функции преобразования типов данных. Пользовательские функции.
14. Описание фронта тактового сигнала на языке VHDL. Атрибуты. Синхронные и асинхронные операции в последовательностных цифровых устройствах.
15. Структура проекта на VHDL. Создание проекта в САПР Quartus II. Отладка VHDL-описаний. Моделирование работы проекта в САПР Quartus II. Подключение отладочного макета и демонстрация работы проекта.
16. Описание на языке VHDL и демонстрация работы мультиплексора.
17. Описание на языке VHDL и демонстрация работы семисегментного индикатора.
18. Описание на языке VHDL и демонстрация работы шифратора, приоритетного шифратора, дешифратора.
19. Описание на языке VHDL и демонстрация работы компаратора.
20. Описание на языке VHDL и демонстрация работы устройства определения количества нулей и/или единиц во входном коде.
21. Описание на языке VHDL и демонстрация работы устройства определения чётности/нечётности/кратности входного кода.
22. Описание на языке VHDL и демонстрация работы D-триггера.
23. Описание на языке VHDL и демонстрация работы N-разрядного параллельного регистра.
24. Описание на языке VHDL и демонстрация работы суммирующего/вычитающего/реверсивного счётчика.
25. Описание на языке VHDL и демонстрация работы делителя частоты.
26. Описание на языке VHDL и демонстрация работы ШИМ-модулятора.
27. Описание на языке VHDL и демонстрация работы сторожевого таймера Watch-Dog.

Темы практических занятий

1. Идентификаторы в языке VHDL. Описание сущности объекта на языке VHDL.
2. Сигналы и компоненты. Составление программы с применением структурного стиля программирования.
3. Синхронные и асинхронные операции в последовательностных цифровых устройствах. Синтез параметрических счетчиков.
4. Параллельное и каскадное подключение нескольких однотипных компонентов к проекту верхнего уровня.
5. Синтез сдвигового регистра и генератора М-последовательности с входами управления.

Примеры типовых задач для практических занятий и теоретического зачета

1. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x^2 + x^5$ с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.
2. Составить описание на языке VHDL параллельного *N*-разрядного регистра с асинхронным входом разрешения тактовых импульсов ena (активное значение – высокий логический уровень). Параметр *N* определить как глобальную константу, которая задается в пакете. Обеспечить работу регистра по заднему фронту тактового сигнала.
3. Составить описание на языке VHDL ШИМ-модулятора, позволяющего представить 128 градаций среднего за период значения выходного напряжения.
4. Составить описание на языке VHDL делителя частоты с коэффициентом деления 12000000 и скважностью выходного сигнала *Q*. Параметр *Q* определить как настроечную константу *Generic*.

5. Составить описание на языке VHDL **архитектуры** вычитающего счетчика с модулем счета 6, работающего по заднему фронту тактовых импульсов частотой 1 Гц, если имеется тактовый сигнал *clk* частотой 50 Гц и VHDL-описание делителя частоты, в котором определена сущность вида:

```
entity Divider is
    generic (M: natural := 8);
port
    (clk_in: in std_logic;  -- входой сигнал
    clk_out: out std_logic  -- выходной сигнал
    );
end Divider;
```

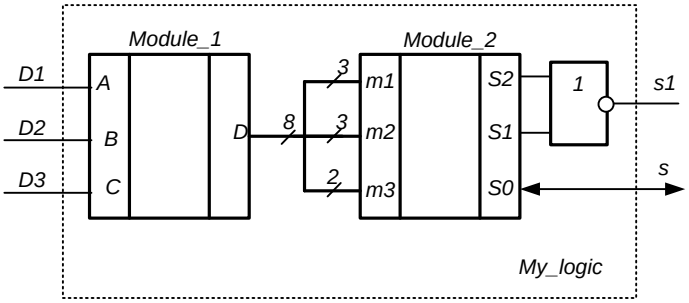
Компонент делителя подключить с использованием поименованного присвоения портов.

6. Составить описание на языке VHDL сторожевого таймера с модулем счета *N*, заданным в виде настроечной константы *Generic*.

7. Составить описание на языке VHDL вычитающего счетчика с входом асинхронной установки *Set* (активное значение – высокий логический уровень, по которому счетчик принимает максимальное значение) и входом тактовых импульсов *clk*. Модуль счета $K_{сч} = 32$.

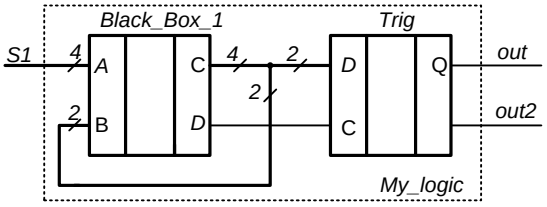
8. Составить описание на языке VHDL без использования оператора case дешифратора 5x32 – цифрового устройства, которое ставит входному 5-разрядному вектору *X* выходной 32-разрядный вектор *Y*, в котором на позиции с индексом $i = X_{(10)}$ находится логическая единица, а все остальные разряды равны нулю.

9. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключении компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов.



10. Составить описание на языке VHDL параллельного *N*-разрядного регистра с входом синхронной установки *Set* (активное значение – высокий логический уровень, по которому все разряды принимают единичное состояние). Параметр *N* определить как глобальную константу, которая задается в пакете.

11. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключен и компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов. При наличии на структурной схеме запрещенных идентифик торов заменить их на р зрешенные.

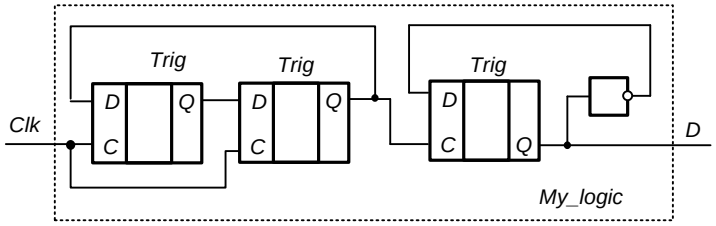


12. Составить описание на языке VHDL D-триггера с входами асинхронной установки *Set* и синхронного сброса *Reset*. Обеспечить работу триггера по заднему фронту тактового сигнала.

13. Составить описание на языке VHDL делителя частоты с коэффициентом деления *N* и скважностью выходного сигнала 4. Параметр *N* определить как глобальную константу, которая задается в пакете. Выходной сигнал делителя должен начинаться с низкого логического уровня.

14. Составить описание на языке VHDL D-триггера с входами асинхронной установки *Set* и асинхронного сброса *Reset*. Реализовать запрет одновременной комбинации активных уровней сигналов сброса и установки и не реагировать на нее.

15. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключении компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов. При наличии на структурной схеме запрещенных идентификаторов заменить их на разрешенные.



16. Составить описание на языке VHDL делителя частоты с коэффициентом деления *N* и скважностью выходного сигнала 2 с асинхронным входом разрешения выдачи выходного сигнала *ena*. При неактивном логическом уровне *ena* выдается логический ноль. Параметр *N* определить как настроечную константу *Generic*.

17. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом асинхронного сброса *Reset* (активное значение – высокий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

    В качестве выходных портов определить параллельный код (содержимое всего) регистра и бит из последнего триггера регистра.

18. Составить описание на языке VHDL делителя частоты с коэффициентом деления *N* и скважностью выходного сигнала 4. Параметр *N* определить как глобальную константу, которая задается в пакете. Выходной сигнал делителя должен начинаться с высокого логического уровня.

19. Составить описание на языке VHDL шифратора 8x3 – цифрового устройства, которое ставит входному 8-разрядному вектору *Y*, в котором на позиции с индексом $i = 0…7$ находится логическая единица, а все остальные разряды равны нулю, выходной 3-разрядный вектор $X = i_{(2)}$.

20. С применением параллельного оператора *GENERATE* составить описание на языке VHDL **архитектуры** делителя частоты с коэффициентом деления 1024, используя **только** существующий модуль делителя частоты с фиксированным коэффициентом деления 2, описание которого имеет вид:

```
entity Div_freq is
port
        (clock: in std_logic;  -- входой сигнал
        clk: out std_logic  -- выходной сигнал
        );
end Div_freq;
```

21. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом синхронного сброса *Reset* (активное значение – низкий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

    Выходной порт – бит из последнего триггера регистра.

22. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

    В качестве выходных портов определить параллельный код (содержимое всего) регистра и бит из последнего триггера регистра.

23. Составить описание на языке VHDL **без использования оператора case** дешифратора 6x64 – цифрового устройства, которое ставит входному 6-разрядному вектору *X* выходной 64-разрядный вектор *Y*, в котором на позиции с индексом $i = X_{(10)}$ находится логическая единица, а все остальные разряды равны нулю.

24. С применением параллельного оператора GENERATE составить описание на языке VHDL **архитектуры** последовательного регистра для хранения одного байта данных, используя только существующий модуль D-триггера с управляющим входом сброса *Reset*, тактовым входом *clk* и информационным входом *D*, описание которого имеет вид:

```
entity D_trig is
port
      (clk, reset, D: in std_logic;
      Q: out std_logic );
end Div_freq;
```

25. Составить описание на языке VHDL ШИМ-модулятора, позволяющего представить 16 градаций среднего за период значения выходного напряжения.

26. Составить описание на языке VHDL параллельного *N*-разрядного регистра с входом асинхронного сброса *Reset* (активное значение – низкий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

27. Составить описание на языке VHDL суммирующего счетчика с входом асинхронного сброса *Reset* (активное значение – высокий логический уровень) и входом тактовых импульсов *clk*. Модуль счета $K_{сч}$ = 12. Обеспечить работу счетчика по заднему фронту тактового сигнала.

28. Составить описание на языке VHDL **архитектуры** суммирующего счетчика с модулем счета 10, работающего по переднему фронту тактовых импульсов частотой 1 Гц, если имеется высокочастотный тактовый сигнал *clk*32 частотой 32,768 кГц и VHDL-описание делителя частоты, в котором определена сущность вида:

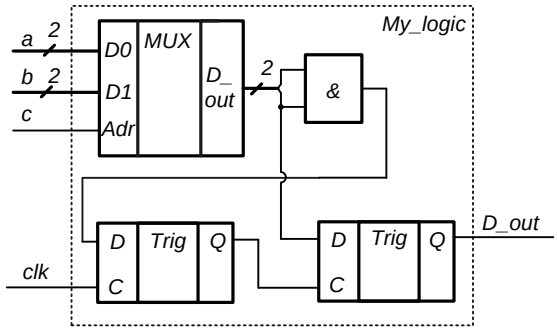
```
entity Div is
    generic (M: natural := 8);
port
    (clk: in std_logic;  -- входой сигнал
    clk_out: out std_logic  -- выходной сигнал
    );
end Div;
```

Компонент делителя подключить с использованием **поименованного** присвоения портов.

29. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

Выходной порт – бит из последнего триггера регистра.

30. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключении компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов.



31. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x^2 + x^3 + x^4 + x^5$ с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

32. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x^3 + x^5$ с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

33. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x^2 + x^6$ с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*..

34. Составить описание на языке VHDL вычитающего счетчика с входом синхронного сброса *Reset* (активное значение – высокий логический уровень) и входом тактовых импульсов *clk*. Модуль счета $K_{сч} = 14$. Обеспечить работу счетчика по заднему фронту тактового сигнала.

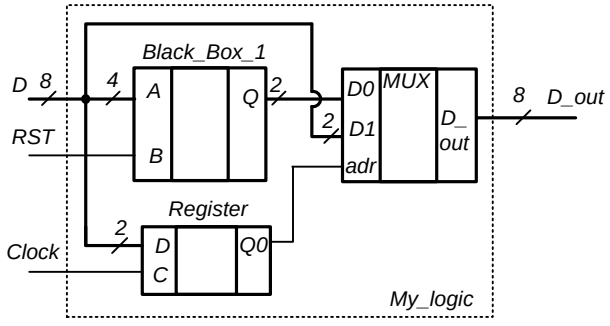
35. Составить описание на языке VHDL **архитектуры** суммирующего счетчика с модулем счета 20, работающего по заднему фронту тактовых импульсов частотой 12 Гц, если имеется высокочастотный тактовый сигнал *clock* частотой 24 МГц и VHDL-описание делителя частоты, в котором определена сущность вида:

```
entity Divider is
    generic (K: natural := 8);
port
    (clk_in: in std_logic;  -- входой сигнал
    clk_out: out std_logic  -- выходной сигнал
    );
end Divider;
```

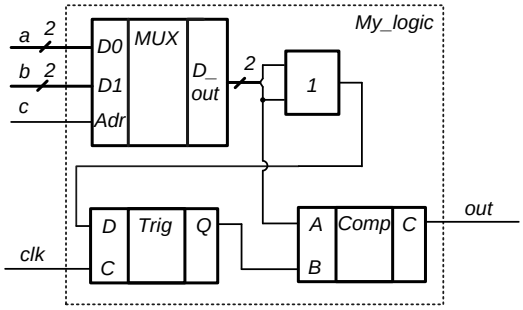
Компонент делителя подключить с использованием позиционного присвоения портов.

36. Составить описание на языке VHDL реверсивного счетчика с модулем счета 12, тактовым сигналом *clock* и входом управления направлением счета *plus_minus.*

37. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключении компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов.



38. Составить описание на языке VHDL **архитектуры** цифрового устройства с помощью структурного стиля программирования. При подключении компонентов в содержательной части архитектуры применить и позиционное, и поименованное подключение портов. При запрещенных идентификаторах заменить их на разрешенные.



39. С применением параллельного оператора *GENERATE* составить описание на языке VHDL **архитектуры** параллельного регистра для хранения одного байта данных, используя **только** существующий модуль D-триггера с управляющим входом установки *Set*, тактовым входом *clk* и информационным входом *D*, описание которого имеет вид:

```
entity D_trig is
port
      (clk, set, D: in std_logic;
      Q: out std_logic );
end Div_freq;
```

40. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x + x^3 + x^4 + x^5$ с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

41. Составить описание на языке VHDL последовательного *N*-разрядного регистра с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

42. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x + x^2 + x^3 + x^5$ с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

43. Составить описание на языке VHDL D-триггера с входами синхронной установки *Set* и синхронного сброса *Reset*. Реализовать запрет одновременной комбинации активных уровней сигналов сброса и установки и не реагировать на нее.

44. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x + x^2 + x^4 + x^5$ с входом разрешения асинхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

45. Составить описание на языке VHDL генератора М-последовательности с порождающим полиномом $P(x) = 1 + x^2 + x^6$ с входом разрешения синхронной параллельной загрузки *Load* (активное значение – высокий логический уровень) стартовой комбинации *Start_data*.

46. Составить описание на языке VHDL **архитектуры** суммирующего счетчика с модулем счета 20, работающего по заднему фронту тактовых импульсов частотой 12 Гц, если имеется высокочастотный тактовый сигнал *clock* частотой 24 МГц и VHDL-описание делителя частоты, в котором определена сущность вида:

```
entity Divider is
    generic (K: natural := 8);
port
    (clk_in: in std_logic;  -- входой сигнал
    clk_out: out std_logic  -- выходной сигнал
    );
end Divider;
```

Компонент делителя подключить с использованием позиционного присвоения портов.

47. Составить описание на языке VHDL параллельного *N*-разрядного регистра с входом асинхронного сброса *Reset* (активное значение – высокий логический уровень). Параметр *N* определить как настроечную константу *Generic*.

Контрольные вопросы для оценки сформированности компетенций

1. Разрешенные идентификаторы в VHDL.
2. Тип std_logic.
3. Объявление сущности в VHDL.
4. Настроечные константы в VHDL.
5. Описание архитектуры в VHDL.
6. Какие элементы объявляются в декларативной части архитектуры программы?
7. Сигналы в VHDL.
8. Процессы в VHDL.
9. Какие элементы объявляются в декларативной части процесса?
10. Можно ли объявить внутри процесса сигнал? Почему?
11. Можно ли объявить внутри процесса другой процесс? Почему?
12. Поименованное и позиционное подключение портов компонента.
13. Последовательные операторы языка VHDL.
14. Параллельные операторы языка VHDL.
15. Синхронные и асинхронные действия.
16. Описание триггеров и регистров на языке VHDL.
17. Пакеты в VHDL.

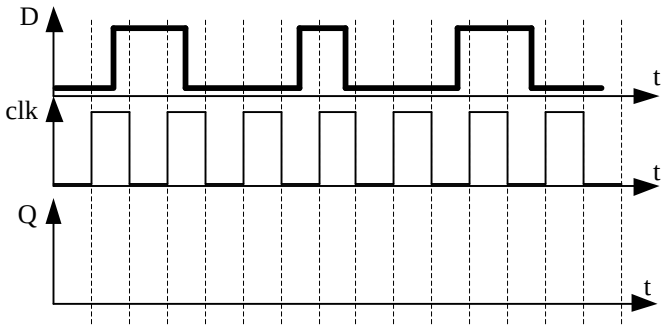
Примеры контрольных заданий для итогового тестирования, а также для оценки остаточных знаний по предмету

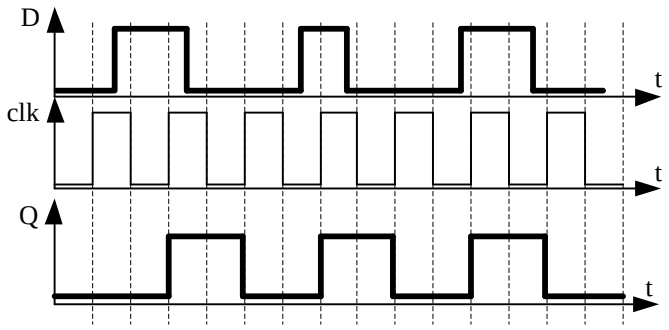
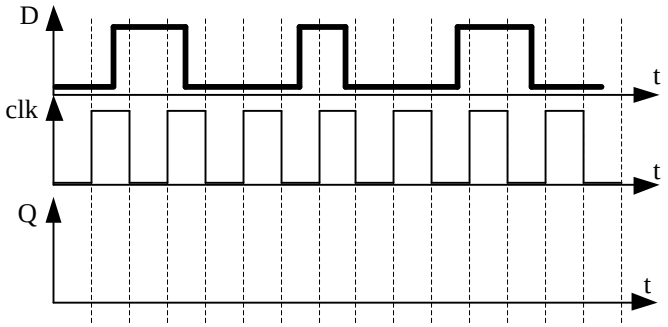
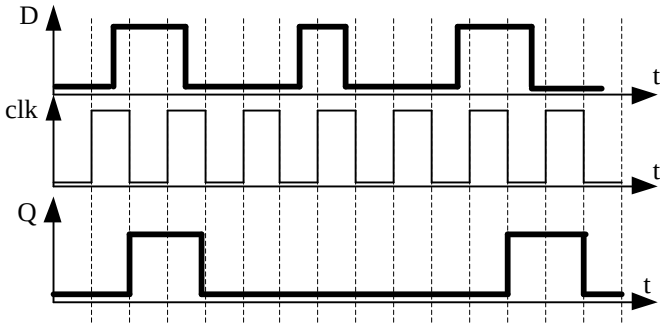
1.	Выберите все возможные идентификаторы в языке VHDL: **1. My_Logic** 2. 2Trig 3. TeMP_Щ **4. TeMp12** 5. entity **6. automat_12** Номера правильных ответов: _1_4_6_____

2.	Выберите все возможные идентификаторы в языке VHDL: 1. константа **2. VHDL_1** **3. Count111** 4. out 5. _my_auto **6. MUX** Номера правильных ответов: _2_3_6_____
3.	Выберите все возможные идентификаторы в языке VHDL: **1. Zadacha_6** 2. inout 3. architecture **4. Clk** **5. Segment7** 6. 22mux Номера правильных ответов: _1_4_5_____
4.	Какой перечисляемый тип данных используется для описания входных и выходных одноразрядных сигналов, проектируемого на языке VHDL, цифрового устройства? Правильный ответ: std_logic
5.	Какой перечисляемый тип данных используется для описания входных и выходных многоразрядных сигналов, проектируемого на языке VHDL, цифрового устройства? Правильный ответ: std_logic_vector
6.	О каком понятии идёт речь? «Описывает внешний интерфейс объекта (моделирует взгляд на устройство ***«снаружи»***) и содержит описание входных и выходных сигналов – портов» Правильный(ые) ответ(ы): Сущность/Сущность объекта/Entity
7.	Какое ключевое слово используется для определения сущности объекта в языке VHDL? Правильный ответ: entity

8.	Какое ключевое слово используется для определения настроечных констант в языке VHDL? Правильный ответ: generic
9.	О каком понятии идёт речь? «Определяет логику работы проектируемого цифрового устройства и форму её реализации (моделирует взгляд на объект **«изнутри»**)» Правильный(ые) ответ(ы): Архитектура/Архитектура объекта/Architecture
10.	Какое ключевое слово используется для определения архитектуры объекта в языке VHDL? Правильный ответ: architecture
11.	Выберите правильный ответ: Декларативная часть архитектуры **НЕ может** содержать объявление: 1. Сигнала 2. Переменной 3. Константы 4. Компонента Правильный ответ: 2
12.	О каком понятии идёт речь? «Это элемент языка VHDL, который переносит значение от одного объекта или процесса к другому объекту или процессу и вместе с ним синхронизирующее воздействие» Правильный(ые) ответ(ы): Сигнал/Signal
13.	Какое ключевое слово используется в языке VHDL для объявления сигнала? 1. entity 2. architecture 3. begin **4. signal** 5. variable 6. constant Номер правильного ответа: __4_____ .
14.	О каком понятии идёт речь? «Это основной параллельный оператор языка VHDL, который используется для поведенческой формы описания проектов» Правильный(ые) ответ(ы): Процесс/Process

15.	Выберите правильный ответ: Декларативная часть процесса **НЕ может** содержать объявление: **1. Сигнала** 2. Переменной 3. Константы 4. Функции Правильный ответ: 1
16.	Какой оператор языка VHDL предназначен для последовательного выбора вариантов? **1. if** 2. case 3. for loop 4. port map 5. component 6. <= (ПУЗС) Правильный ответ: 1
17.	Какой оператор языка VHDL предназначен для множественного выбора? 1. if **2. case** 3. for loop 4. port map 5. component 6. <= (ПУЗС) Правильный ответ: 2
18.	Какой оператор языка VHDL необходим для присвоения значения сигналу? 1. if 2. case 3. for loop 4. port map 5. component **6. <= (ПУЗС)** Правильный ответ: 6

19.	Какой оператор языка VHDL используется для объявления экземпляров объектов нижнего уровня, из которых состоит проект верхнего уровня? 1. if 2. case 3. for loop 4. port map **5. component** 6. <= (ПУЗС) Правильный ответ: 5
20.	Какой оператор языка VHDL необходим для реализации межкомпонентных связей в проекте структурной формы? 1. if 2. case 3. for loop **4. port map** 5. component 6. <= (ПУЗС) Правильный ответ: 4
21.	Какая конструкция в языке VHDL используется для описания переднего фронта тактового сигнала clock? Правильный ответ: clock′event and clock = ′1′
22.	Какая конструкция в языке VHDL используется для описания заднего фронта тактового сигнала clk? Правильный ответ: clk′event and clk = ′0′
23.	Изобразите временную диаграмму процесса **на выходе D-триггера**, работающего **по переднему фронту** тактового сигнала:  Правильный ответ:

	
24.	Изобразите временную диаграмму процесса **на выходе D-триггера**, работающего **по заднему фронту** тактового сигнала:  Правильный ответ: 
25.	Каким термином в языке VHDL называют действие, происходящее по фронту таксового сигнала? Правильный ответ: синхронное
26.	Каким термином в языке VHDL называют действие, происходящее независимо от прихода фронта тактового сигнала? Правильный ответ: асинхронное
27.	Какой пакет необходимо подключить к проекту для возможности использования арифметических операций? 1. std_logic_1164 **2. std_logic_arith**

	3. std_logic_signed 4. std_logic_unsigned Правильный ответ: 2
28.	Какой пакет необходимо подключить к проекту для возможности использования типов данных std_logic и std_logic_vector? **1. std_logic_1164** 2. std_logic_arith 3. std_logic_signed 4. std_logic_unsigned Правильный ответ: 1
29.	Какой пакет необходимо подключить к проекту для возможности использования функций преобразования типов и чисел со знаком? 1. std_logic_1164 2. std_logic_arith **3. std_logic_signed** 4. std_logic_unsigned Правильный ответ: 3
30.	Какой пакет необходимо подключить к проекту для возможности использования функций преобразования типов и чисел без знака? 1. std_logic_1164 2. std_logic_arith 3. std_logic_signed **4. std_logic_unsigned** Правильный ответ: 4

Составил
Ст. преподаватель кафедры РТС Т.С. Кислицына

Оператор ЭДО ООО "Компания "Тензор"
ДОКУМЕНТ ПОДПИСАН ЭЛЕКТРОННОЙ ПОДПИСЬЮ
ПОДПИСАНО **ФГБОУ ВО "РГРТУ", РГРТУ,** Кошелев Виталий Иванович, Заведующий кафедрой РТС **20.10.26** 13:10 (MSK) Простая подпись